

## PATENT COOPERATION TREATY

PCT

## NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Commissioner  
 US Department of Commerce  
 United States Patent and Trademark  
 Office, PCT  
 2011 South Clark Place Room  
 CP2/5C24  
 Arlington, VA 22202  
 ETATS-UNIS D'AMERIQUE  
 in its capacity as elected Office

Date of mailing (day/month/year) 23 May 2001 (23.05.01)	
International application No. PCT/JP00/05947	Applicant's or agent's file reference PK000073
International filing date (day/month/year) 01 September 2000 (01.09.00)	Priority date (day/month/year) 17 September 1999 (17.09.99)
Applicant FURUSHO, Shinji	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International Preliminary Examining Authority on:

13 April 2001 (13.04.01)

☐ in a notice effecting later election filed with the International Bureau on:
2. The election ☒ was
☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer Maria Kirchner Telephone No.: (41-22) 338.83.38
---	--

## PATENT COOPERATION TREATY

PCT

NOTIFICATION OF THE RECORDING  
OF A CHANGE(PCT Rule 92bis.1 and  
Administrative Instructions, Section 422)

From the INTERNATIONAL BUREAU

To:

KUBOTA, Eiichiro  
Akasaka Yamada Building  
1st Floor  
21-8, Akasaka 2-chome  
Minato-ku  
Tokyo 107-0052  
JAPONDate of mailing (day/month/year)  
15 avril 2002 (15.04.02)Applicant's or agent's file reference  
PK000073

## IMPORTANT NOTIFICATION

International application No.  
PCT/JP00/05947International filing date (day/month/year)  
01 septembre 2000 (01.09.00)

## 1. The following indications appeared on record concerning:

☒ the applicant ☐ the inventor ☐ the agent ☐ the common representative

## Name and Address

TURBO DATA LABORATORY INC.  
SPK Building 604  
1-9-12, Matsugaya  
Taito-ku, Tokyo 111-0036  
JapanState of Nationality  
JPState of Residence  
JP

Telephone No.

Facsimile No.

Teleprinter No.

## 2. The International Bureau hereby notifies the applicant that the following change has been recorded concerning:

☐ the person ☒ the name ☒ the address ☐ the nationality ☐ the residence

## Name and Address

TURBO DATA LABORATORIES INC.  
1101-7, Matsumi-cho 4-chome  
Kanagawa-ku, Yokohama-shi  
Kanagawa 221-0005  
JapanState of Nationality  
JPState of Residence  
JP

Telephone No.

Facsimile No.

Teleprinter No.

## 3. Further observations, if necessary:

## 4. A copy of this notification has been sent to:

☒ the receiving Office ☐ the designated Offices concerned  
☐ the International Searching Authority ☒ the elected Offices concerned  
☐ the International Preliminary Examining Authority ☐ other:The International Bureau of WIPO  
34, chemin des Colombettes  
1211 Geneva 20, Switzerland

Authorized officer

Shinji IGARASHI

Facsimile No.: (41-22) 740.14.35

Telephone No.: (41-22) 338.83.38

PCT

## 国際調査報告

(法8条、法施行規則第40、41条)  
〔PCT18条、PCT規則43、44〕



出願人又は代理人 の書類記号 PK000073	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JP00/05947	国際出願日 (日.月.年) 01.09.00	優先日 (日.月.年) 17.09.99
出願人(氏名又は名称) ターボデータラボラトリー有限会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

- a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。  
☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。
- b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。  
☐ この国際出願に含まれる書面による配列表  
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表  
☐ 出願後に、この国際調査機関に提出された書面による配列表  
☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表  
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。  
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。  
☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。  
☐ 第三欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、  
 第 1 図とする。 ☐ 出願人が示したとおりである。 ☐ なし  
☒ 出願人は図を示さなかった。  
☐ 本図は発明の特徴を一層よく表している。

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

IntCl<sup>7</sup> G06F 12/06, 13/16, 15/167

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

IntCl<sup>7</sup> G06F 7/22-24, 12/00-06, 13/16-18, 15/167, 17/16

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2000年  
 日本国登録実用新案公報 1994-2000年  
 日本国実用新案登録公報 1996-2000年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 10-143489, A (株式会社日立製作所) 29. 5月. 1998 (29. 05. 98) 全文, 全図 (ファミリーなし)	1-11
A	JP, 6-67846, A (株式会社日立製作所) 11. 3月. 1994 (11. 03. 94) 全文, 全図 (ファミリーなし)	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

28. 11. 00

国際調査報告の発送日

12.12.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

多賀 実

5N

9367

電話番号 03-3581-1101 内線 3544

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 7-152640, A (株式会社日立製作所) 16. 6月. 1995 (16. 06. 95) 全文, 全図 (& GB, 2284494, A & US, 5649102, A & GB, 2284494, B)	1-11
A	JP, 54-56743, A (シーメンス・アクチエンゲゼルシャフト) 8. 5月. 1979 (08. 05. 79) 全文, 全図 (& IT, 7827598, A & BE, 870595, A & NL, 7809481, A & DE, 2742035, A & FR, 2403600, A & GB, 1597333, A & CA, 1121015, A & IT, 1098541, A)	3-8
A	JP, 63-316254, A (日本電信電話株式会社) 23. 12月. 1988 (23. 12. 88) 全文, 全図, 特に第6頁左上欄第4行目及び5行目 (ファミリーなし)	3-8
A	JP, 62-22142, A (積水化学工業株式会社) 30. 1月. 1987 (30. 01. 87) 全文, 全図 (ファミリーなし)	8
A	情報処理, 第32巻, 第12号, 12月. 1991 (東京) 安浦寛人「機能メモリによる超並列処理」p. 1260-1267	1-11

NOTIFICATION OF CHANGE OF ADDRESS

To: Commissioner of the Patent Office

1. Identification of International Application

PCT/JP00/05947

2. Applicant

Name: Turbo Data Laboratories, Inc.

Address: 1101-7, Matsumi-cho 4-chome, Kanagawa-ku, Yokohama-shi,  
Kanagawa 221-0005 Japan

Country of nationality: JAPAN

Country of residence: JAPAN

3. Person Changing Address

Relationship to the International Application: Applicant

Name: Turbo Data Laboratories, Inc.

Former Address: SPK Building 604, 1-9-12, Matsugaya,  
Taito-ku, Tokyo 111-0036 Japan

New Address: 1101-7, Matsumi-cho 4-chome, Kanagawa-ku, Yokohama-shi,  
Kanagawa 221-0005 Japan

Country of nationality: JAPAN

Country of residence: JAPAN

4. Agent(Common Representative)

Name: (103632) KUBOTA Eiichiro

Address: First Floor, Akasaka Yamada Bldg. 21-8, Akasaka 2-chome,  
Mianto-ku, Tokyo 107-0052 Japan

あて名変更届



特許庁長官殿

1. 国際出願の表示 PCT/JPO0/05947

2. 出願人

名称 株式会社ターボデータラボラトリー  
Turbo Data Laboratories, Inc.

あて名 〒221-0005 日本国神奈川県横浜市神奈川区松見町  
四丁目1101番地7  
1101-7, Matsumi-cho 4-chome, Kanagawa-ku, Yokohama-shi,  
Kanagawa 221-0005 Japan

国籍 日本国 Japan

住所 日本国 Japan

3. あて名を変更した者

事件との関係 出願人

名称 株式会社ターボデータラボラトリー  
Turbo Data Laboratories, Inc.

旧あて名 〒111-0036 日本国東京都台東区松が谷1-9-12  
SPKビルディング 604号  
SPK Building 604, 1-9-12, Matsugaya,  
Taito-ku, Tokyo 111-0036 Japan

新あて名 〒221-0005 日本国神奈川県横浜市神奈川区松見町  
四丁目1101番地7  
1101-7, Matsumi-cho 4-chome, Kanagawa-ku, Yokohama-shi,  
Kanagawa 221-0005 Japan

国籍 日本国 Japan

住所 日本国 Japan

4. 代理人

氏名

(10363) 弁理士 窪田英一郎



KUBOTA Eiichiro

あて名

〒107-0052 日本国東京都港区赤坂2丁目21番8号  
赤坂山田ビル1階

First Floor, Akasaka Yamada Bldg. 21-8, Akasaka 2-chome,  
Minato-ku, Tokyo 107-0052 Japan



P C T

国際予備審査報告

(法第12条、法施行規則第56条)  
〔PCT36条及びPCT規則70〕

REC'D 28 DEC 2001

WIPO

PCT

出願人又は代理人 の書類記号 PK000073	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ IPEA/416）を参照すること。	
国際出願番号 PCT/JPO0/05947	国際出願日 (日.月.年) 01.09.00	優先日 (日.月.年) 17.09.99
国際特許分類 (IPC) Int. Cl. G06F12/06, 13/16, 15/167		
出願人 (氏名又は名称) ターボデータラボラトリー有限公司		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
- ☐ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。  
(PCT規則70.16及びPCT実施細則第607号参照)  
この附属書類は、全部で \_\_\_\_\_ ページである。

3. この国際予備審査報告は、次の内容を含む。
- I ☒ 国際予備審査報告の基礎
- II ☐ 優先権
- III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV ☐ 発明の単一性の欠如
- V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ☐ ある種の引用文献
- VII ☐ 国際出願の不備
- VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 13.04.01	国際予備審査報告を作成した日 17.12.01		
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員)  多 賀 実	5N	9367
電話番号 03-3581-1101		内線 3585	

## I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に  
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。  
 PCT規則70.16, 70.17)

☒ 出願時の国際出願書類

- |                                     |   |       |        |                      |
|-------------------------------------|---|-------|--------|----------------------|
| <input type="checkbox"/> 明細書        | 第 | _____ | ページ、   | 出願時に提出されたもの          |
| <input type="checkbox"/> 明細書        | 第 | _____ | ページ、   | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 明細書        | 第 | _____ | ページ、   | _____ 付の書簡と共に提出されたもの |
|                                     |   |       |        |                      |
| <input type="checkbox"/> 請求の範囲      | 第 | _____ | 項、     | 出願時に提出されたもの          |
| <input type="checkbox"/> 請求の範囲      | 第 | _____ | 項、     | PCT19条の規定に基づき補正されたもの |
| <input type="checkbox"/> 請求の範囲      | 第 | _____ | 項、     | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 請求の範囲      | 第 | _____ | 項、     | _____ 付の書簡と共に提出されたもの |
|                                     |   |       |        |                      |
| <input type="checkbox"/> 図面         | 第 | _____ | ページ/図、 | 出願時に提出されたもの          |
| <input type="checkbox"/> 図面         | 第 | _____ | ページ/図、 | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 図面         | 第 | _____ | ページ/図、 | _____ 付の書簡と共に提出されたもの |
|                                     |   |       |        |                      |
| <input type="checkbox"/> 明細書の配列表の部分 | 第 | _____ | ページ、   | 出願時に提出されたもの          |
| <input type="checkbox"/> 明細書の配列表の部分 | 第 | _____ | ページ、   | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 明細書の配列表の部分 | 第 | _____ | ページ、   | _____ 付の書簡と共に提出されたもの |

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である \_\_\_\_\_ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語  
☐ PCT規則48.3(b)にいう国際公開の言語  
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表  
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表  
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった  
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 図面の第 \_\_\_\_\_ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

## V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

## 1. 見解

新規性(N)	請求の範囲	1-11	有
	請求の範囲		無
進歩性(IS)	請求の範囲	1-11	有
	請求の範囲		無
産業上の利用可能性(IA)	請求の範囲	1-11	有
	請求の範囲		無

## 2. 文献及び説明(PCT規則70.7)

- 文献1: JP 10-143489 A (株式会社日立製作所),  
29. 5月. 1998 (29. 05. 98)  
文献2: JP 6-67846 A (株式会社日立製作所),  
11. 3月. 1994 (11. 03. 94)  
文献3: 情報処理, 第32巻, 第12号, 12月. 1991 (東京)  
安浦寛人「機能メモリによる超並列処理」p. 1260-1267

## 請求の範囲1-11について

メモリモジュールにMPU等の演算機能を付加して、メモリに対する所定の処理を行わせることにより、処理の分散を図ることは、国際調査報告で引用された文献1, 文献2, 文献3に記載されているように周知であり、文献2, 3には当該演算機能付きメモリのソート処理への応用が示唆されている。また、文献3(特に第1263頁右欄)には、演算機能付きメモリを、データ構造に対する各種の操作を並列に実行する専用計算機と捉える考え方、SIMD型の並列計算機構と捉える考え方が記載されている。

しかしながら、所定の関連を有する一連のデータに、空間IDを付与し、各メモリモジュールのMPUが、空間ID、自己が管理する一連のデータの部分に関する論理アドレス、当該部分のサイズ、および、一連のデータのサイズを含むテーブルを管理し、

各メモリモジュールのMPUが、受理したインストラクションに、自己が管理する一連のデータの部分が関与しているか否かを判断して、RAMコアに対するアクセス、バスとの送受信、データに対する必要な処理、前記テーブルの更新を行うことは、国際調査報告で引用された何れの文献にも開示されておらず、当業者にとって自明なことでもない。

54.  
**Translation**

PATENT COOPERATION TREATY

**PCT**

10/0881028

**INTERNATIONAL PRELIMINARY EXAMINATION REPORT**

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference <b>PK000073</b>	<b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. <b>PCT/JP00/05947</b>	International filing date (day/month/year) <b>01 September 2000 (01.09.00)</b>	Priority date (day/month/year) <b>17 September 1999 (17.09.99)</b>
International Patent Classification (IPC) or national classification and IPC <b>G06F 12/06, 13/16, 15/167</b>		
Applicant <b>TURBO DATA LABORATORY INC.</b>		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
2. This REPORT consists of a total of <u>4</u> sheets, including this cover sheet.  <input type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).  These annexes consist of a total of _____ sheets.
3. This report contains indications relating to the following items:  I <input checked="" type="checkbox"/> Basis of the report II <input type="checkbox"/> Priority III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability IV <input type="checkbox"/> Lack of unity of invention V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement VI <input type="checkbox"/> Certain documents cited VII <input type="checkbox"/> Certain defects in the international application VIII <input type="checkbox"/> Certain observations on the international application

Date of submission of the demand <b>13 April 2001 (13.04.01)</b>	Date of completion of this report <b>17 December 2001 (17.12.2001)</b>
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/05947

## I. Basis of the report

### 1. With regard to the elements of the international application:\*

- ☒ the international application as originally filed
- ☐ the description:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the claims:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, as amended (together with any statement under Article 19  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the drawings:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the sequence listing part of the description:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

### 2. With regard to the **language**, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item. These elements were available or furnished to this Authority in the following language \_\_\_\_\_ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

### 3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

### 4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/fig \_\_\_\_\_

### 5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).\*\*

\* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

\*\* Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.  
PCT/JP 00/05947

## V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

## 1. Statement

Novelty (N)	Claims	1-11	YES
	Claims		NO
Inventive step (IS)	Claims	1-11	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-11	YES
	Claims		NO

## 2. Citations and explanations

Document 1: JP, 10-143489, A (Hitachi, Ltd.), May 29, 1998 (29.05.98)

Document 2: JP, 6-67846, A (Hitachi, Ltd.), March 11, 1994 (11.03.94)

Document 3: Hiroto YASUURA, "Kinou Memory ni yoru Chou Heiretsu Shori", Jouhou Shori, Vol. 32, No. 12, December, 1991 (Tokyo), pp. 1260-1267

## Concerning Claims 1 to 11

The feature of dispersing the processing by adding a calculation function of a MPU, etc., to the memory module and carrying out predetermined processes in the memory is well known, as described in Documents 1, 2 and 3, and Documents 2 and 3 suggest the application of said feature to the sort process of a memory with a calculation function. Moreover, Document 3 (especially page 1263, right column) discloses the concept of the memory with calculation function being a computer dedicated to the execution of various types of operations in parallel with respect to the data structure and a SIMD-type parallel computer structure.

However, the feature wherein space ID is given to a series of data with predetermined associations with one another, the MPU of each memory module manages the space

**INTERNATIONAL PRELIMINARY EXAMINATION REPORT**

International application No.

PCT/JP 00/05947

ID, logical addresses related to sections of the series of data managed by the memory itself, and a table containing the size of said sections and the size of the series of data, the MPU of each of the memory modules decides whether the sections of the series of data managed by the memory itself is involved in a received instruction, accesses the RAM core, communicates with the bus, processes the necessary data and renews the aforementioned table, is not disclosed in any of the documents cited in the international search report. Moreover, it is not obvious to a person skilled in the art.

**Attached is a second copy of International Publication No. WO 01/22229  
published on 29 March 2001 (corresponding to International Application No.  
PCT/JP00/05947 filed 1 September 2000) in compliance with the requirements of  
35 U.S.C. 154(d)(4).**



(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001 年 3 月 29 日 (29.03.2001)

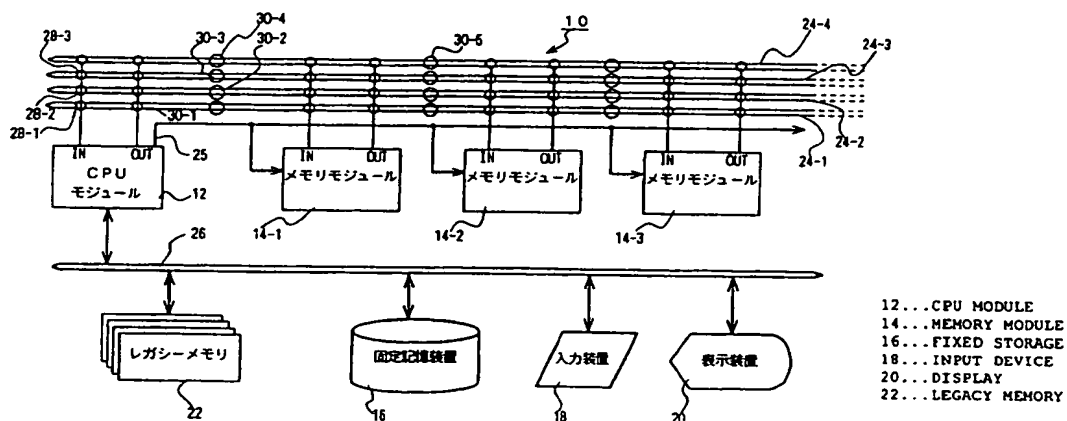
PCT

(10) 国際公開番号  
WO 01/22229 A1

- (51) 国際特許分類: G06F 12/06, 13/16, 15/16 神奈川区松見町4丁目 1101番地7 コートハウス菊名 804号 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP00/05947
- (22) 国際出願日: 2000 年 9 月 1 日 (01.09.2000) (74) 代理人: 弁理士 窪田英一郎, 外 (KUBOTA, Eiichiro et al.); 〒107-0052 東京都港区赤坂2丁目21番8号 赤坂山田ビル1階 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): CA, CN, KR, US.
- (30) 優先権データ: 特願平11/263793 1999 年 9 月 17 日 (17.09.1999) JP (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- (71) 出願人 (米国を除く全ての指定国について): ターボデータラボラトリー有限公司 (TURBO DATA LABORATORY INC.) [JP/JP]; 〒111-0036 東京都台東区松が谷1-9-12 SPKビルディング 604号 Tokyo (JP).
- 添付公開書類:  
— 国際調査報告書
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 古庄晋二 (FURUSHO, Shinji) [JP/JP]; 〒221-0005 神奈川県横浜市
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: PARALLEL COMPUTER ARCHITECTURE, AND INFORMATION PROCESSING UNIT USING THE ARCHITECTURE

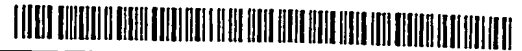
(54) 発明の名称: 並列コンピュータのアーキテクチャおよびこのアーキテクチャを利用した情報処理ユニット



(57) Abstract: A distributed-memory computer architecture is provided that is capable of extremely high-speed processing. A computer system (10) comprises a CPU module (12), a plurality of memory modules (14) each provided with a MPU (36) and a RAM core (34), and a plurality of buses (24) for connections between the CPU module and the memory modules and between the memory modules. The memory modules operate according to instructions given by the CPU (12). A space ID is given to a series of data portions managed by the memory itself, and a table containing the size of the series of data. Each memory module also decides whether the series of data portions managed by the memory itself is involved in a received instruction, and processes the data stored in the RAM core.

/続葉有/

WO 01/22229 A1



---

(57) 要約:

分散メモリ型において、著しく高速な並列処理を実現可能なコンピュータアーキテクチャを提供する。コンピュータシステム10は、CPUモジュール12と、それぞれがMPU36およびRAMコア34とを有する複数のメモリモジュール14と、CPUとメモリモジュールとの接続やメモリモジュール間の接続をなす複数組のバス24とを備え、CPU12から与えられるインストラクションにより、各メモリモジュールが作動する。所定の関連を有する一連のデータには、空間IDが付与され、各メモリモジュールが、少なくとも、当該空間ID、自己が管理する一連のデータの部分に関する論理アドレス、一連のデータのサイズを含むテーブルを管理し、かつ、受理したインストラクションに、自己が管理する一連のデータの部分が関与しているか否かを判断して、RAMコアに記憶されたデータに関する処理を実行する。

## 明 細 書

並列コンピュータのアーキテクチャおよび  
このアーキテクチャを利用した情報処理ユニット

5

## 発明の属する技術分野

本発明は、S I M D (Single Instruction Stream, Multiple Data Stream) を実現可能な並列コンピュータのアーキテクチャに関し、より詳細には、適切かつ高速なメモリ制御により、汎用的な並列演算が可能なコンピュータアーキテクチャに関する。

10

## 背 景 技 術

社会全体のさまざまな場所にコンピュータが導入され、インターネットをはじめとするネットワークが浸透した今日では、そこそこで、大規模なデータが蓄積されるようになった。このような大規模データを処理するには、膨大な計算が必要で、そのために並列処理を導入しようと試みるのは自然である。

15

さて、並列処理アーキテクチャは「共有メモリ型」と「分散メモリ型」に大別される。前者（「共有メモリ型」）は、複数のプロセッサが1つの巨大なメモリ空間を共有する方式である。この方式では、プロセッサ群と共有メモリ間のトラフィックがボトルネックとなるので、百を越えるプロセッサを用いて現実的なシステムを構築することは容易ではない。したがって、例えば10億個の浮動小数点変数の平方根を計算する際、単一CPUに対する加速比は、せいぜい100倍ということになる。経験的には、30倍程度が上限である。

20

後者（「分散メモリ型」）は、各プロセッサがそれぞれローカルなメモリを持ち、これらを結合してシステムを構築する。この方式では、数百～数万ものプロセッサを組み込んだハードウェアシステムの設計が可能である。したがって、上記10億個の浮動小数点変数の平方根を計算する際の単一CPUに対する加速比を、数百～数万倍とすることが可能である。しかしながら、後者においても、後述するいくつかの課題が存在する。

25

本出願は、「分散メモリ型」に関するものであり、この方式について最初に多

少の考察を加えながら従来技術との比較を行うことにする。

[第1の課題：巨大配列の分掌管理]

「分散メモリ型」の第1の課題は、データの分掌管理の問題である。

5 巨大なデータ（一般的には配列なので、以降、配列で説明する）は、1つのプロセッサの所有するローカルメモリに収容できるものではなく、必然的に複数のローカルメモリに分掌管理される。効率的かつ柔軟な分掌管理メカニズムを導入しないと、プログラムの開発および実行に際してさまざまな障害を抱え込むことになることは明らかである。

[第2の課題：プロセッサ間通信の効率の低さ]

10 分散メモリ型システムの各プロセッサが、巨大配列にアクセスしようとする、自己の所有するローカルメモリ上の配列要素に対しては速やかにアクセスできるものの、他のプロセッサが所有する配列要素へのアクセスはプロセッサ間通信を必須とする。このプロセッサ間通信はローカルメモリとの通信に比べ、極端にパフォーマンスが低く、最低でも100クロックかかると言われている。このため、  
15 ソート実施時には、巨大配列全域にわたる参照が実施され、プロセッサ間通信が多発するため、パフォーマンスが極端に低下する。

この問題点につき、より具体的に説明を加える。1999年現在、パソコンは、1～数個のCPUを用いて、「共有メモリ型」として構成されている。このパソコンに使用される標準的なCPUは、メモリバスの5～6倍程度の内部クロック  
20 で動作し、その内部に自動的な並列実行機能やパイプライン処理機能が装備されており、およそ1データを1クロック（メモリバス）で処理できる。

「共有メモリ型」であるパソコンにて巨大配列のソート処理を行う場合、1データについて1クロックを要し、このため、1データに100クロック（メモリバス）を要する、「分散メモリ型」のマルチプロセッサシステムの100倍のパ  
25 フォーマンスを発揮することも考えられる。

[第3の課題：プログラムの供給]

「分散メモリ型」の第3の課題は、多数のプロセッサにどうやってプログラムを供給するか、という問題である。

非常に多数のプロセッサに、別々のプログラムをロードし、全体を協調動作させる方式（MIMD：Multiple Instruction Stream, Multiple Data Stream）では、プログラムの作成、コンパイル、配信のために多大な負荷を要する。

5 その一方、多数のプロセッサを同一のプログラムで動作させる方式（SIMD：Single Instruction Stream, Multiple Data Stream）では、プログラムの自由度が減少し、所望の結果をもたらすプログラムが開発できない事態も想定される。

本発明は、「分散メモリ型」の上記第1ないし3の課題を解決する方法および  
10 コンピュータアーキテクチャを提供する。第1の「巨大配列の分掌管理」の課題は、配列の各要素の配置（物理アドレス）を、各プロセッサモジュールが統一的な方法で分掌管理することで解決できる。この手法により、ガーベージコレクションの必要性が無くなり、配列要素の挿入・削除が数クロックで完了し、SIMDを実現する上で欠かせない各プロセッサの暗黙の（非明示的）処理分担を割り  
15 付けることもできる。この方法は、後ほど「多空間メモリ」という概念で説明される。

第2の「プロセッサ間通信の効率の低さ」の課題は、達成しようとする処理に応じて各プロセッサ間をつなぎ替え、各接続経路毎に、定められた種類のデータを、定められた順番で、1方向に連続転送することで、バスの能力を100%近くまで使用できるよう通信をスケジュール化し、同時に巨大パイプライン処理を  
20 実現することで解決できる。

その有効性を実証するため、後ほど、現実的なシステム設計で、10億行のソートを実行するシステムの構成方法を例示するであろう。これは、既知の最高速の装置に比べて、1万倍以上高速である。この方法は、後ほど「組替えバス」技術として説明される。

25 第3の「プログラムの供給」の課題は、SIMD方式を採用することで解決できる。SIMDの場合は、各プロセッサの暗黙の（非明示的）処理分担をどうやって決定するか？が最大の問題であるが、前述の「多空間メモリ」技術にてこの処理分担が自動的に決定でき、SIMDであってもプログラムの自由度を保持す

ることができる。

つまり、本発明は、分散メモリ型において、単一命令により種々のメモリに記憶された配列中の要素を入出力し、著しく高速な並列処理を実現可能なコンピュータアーキテクチャを提供することを目的とする。

5

### 発 明 の 開 示

本発明の目的は、CPUモジュールと、それぞれがMPUおよびRAMコアとを有する複数のメモリモジュールと、前記CPUとメモリモジュールとの接続、および／または、メモリモジュール間の接続をなす複数組のバスとを備え、CPUから各メモリモジュールのMPUに与えられるインストラクションにより、各メモリモジュールのMPUが作動するように構成された並列コンピュータのアーキテクチャであって、所定の関連を有する一連のデータに、空間IDが付与され、各メモリモジュールのMPUが、少なくとも、当該空間ID、自己が管理する一連のデータの部分に関する論理アドレス、当該部分のサイズ、および、一連のデータのサイズを含むテーブルを管理し、かつ、各メモリモジュールのMPUが、  
10 受理したインストラクションに、自己が管理する一連のデータの部分が関与しているか否かを判断して、RAMコアに記憶されたデータを読み出してバスに送出し、バスを介して与えられたデータをRAMコアに書き込み、データに必要な処理を施し、および／または、前記テーブルを更新するように構成されたことを特徴とする並列コンピュータのアーキテクチャにより達成される。

20 本発明によれば、空間IDを用いて一連のデータを把握するため、当該一連のデータが、多数のメモリモジュールにより分掌されても、各メモリモジュールのMPUが、当該一連のデータを確実に認識することができる。また、メモリモジュールは、一連のデータおよび自己が管理するその部分を、テーブルにて把握しているため、インストラクションの受理にしたがって、そのテーブルを参照して、  
25 所定の処理を実行することができる。これにより、単一インストラクションに基づく、各MPUでの並列処理が実現できる。

本発明の好ましい実施態様においては、MPUは、CPUから与えられた空間IDを、自己が管理する1以上の一連のデータの空間IDと比較する空間コンパ

レータと、CPUから与えられた論理アドレスと、自己が管理するデータの部分の論理アドレスとを比較するアドレスコンパレータと、当該論理アドレスに基づき、自己のRAMセル上の物理アドレスを算出するアドレスカリキュレータとを有している。これらコンパレータおよびカリキュレータは、ハードウェアにて構成されても良いし、MPUのプログラムによりソフトウェアとして実現されるものであっても良い。

また、本発明の好ましい実施態様においては、メモリモジュールの各々が、CPUモジュールおよび他のメモリモジュールとの同期をなすための同期信号を受け入れ、かつ、前記複数組のバスの何れかとの接続が可能な入力と、前記複数組のバスの他の何れかとの接続が可能な出力を備え、少なくとも、前記同期信号にしたがって、前記何れかのバスと入力との接続により、データを入力しつつ、前記他の何れかのバスと出力との接続により、データを出力できるように構成されている。

本実施の形態によれば、同期信号にしたがって、メモリモジュールからのデータ出力およびメモリモジュールへのデータ入力となされ、かつ、バスの接続の制御により、適切に並列処理を実現することが可能となる。

複数組のバスの各々には、前記CPUモジュールと何れかのメモリモジュールの入力または出力との間、および／または、他の何れかのメモリモジュールの入力または出力と、さらに他のメモリモジュールの出力または入力との間の接続を規定するためのスイッチが設けられ、スイッチの切換により、複数組のバスの各々において、並列的にデータの授受が実現されるのがより好ましい。これにより、複数組のバスをより有効に利用することが可能となり、より並列性を高めることが可能となる。

本発明のさらに好ましい実施態様においては、複数組のバスのうちの何れかである第1のバスに、何れかのメモリモジュールの出力と、他の何れかのメモリモジュールの入力が接続され、かつ、前記複数組のバスのうち、他の何れかである第2のバスに、当該他の何れかのメモリモジュールの出力と、さらに他の何れかのメモリモジュールの入力が接続され、第1のバスにおけるデータの授受と、

第2のバスにおけるデータの授受が並列的に進行する。このように、コンピュータの実施態様によれば、CPUモジュールと、メモリモジュールとにより、パイプライン処理を実現することが可能となる。バスとメモリモジュールとの間の接続を繰り返して、多段のメモリモジュール間の接続を形成するのがより好ましい。

5      本発明の別の好ましい実施態様においては、MPUが、一連のデータ中の特定の要素を削除し、前記一連のデータ中に特定の要素を挿入し、或いは、一連のデータの末尾に特定の要素を追加することを示すインストラクションを受理すると、テーブルを参照して、自己の管理するデータの領域と、削除、挿入或いは追加にか  
10      かる要素の位置とを比較して、当該比較結果に応じて、前記テーブルの内容を更新する。すなわち、MPUにおいて、自己が管理するテーブルを更新する、すなわち、リマッピングをすることにより、要素の削除、挿入および追加を実現することが可能となる。

本発明のさらに別の実施態様においては、MPUが、与えられたインストラク  
15      ションに応答して、一連のデータ中の要素を特定するための添え字を変換し、および/または、要素に特定の修飾を与える値変換を実行する。

また、本発明の目的は、CPUモジュールと、それぞれがMPUおよびRAM  
20      コアとを有する複数のメモリモジュールと、前記CPUとメモリモジュールとの接続、および/または、メモリモジュール間の接続をなす複数組のバスとを備え、CPUから各メモリモジュールのMPUに与えられるインストラクションにより、  
25      各メモリモジュールのMPUが作動するように構成された情報処理ユニットであって、所定の関連を有する一連のデータに、空間IDが付与され、各メモリモジュールのMPUが、少なくとも、当該空間ID、自己が管理する一連のデータの部分に関する論理アドレス、当該部分のサイズ、および、一連のデータのサイズを含むテーブルを管理し、かつ、各メモリモジュールのMPUが、受理したイン  
30      ストラクションに、自己が管理する一連のデータの部分が関与しているか否かを判断して、RAMコアに記憶されたデータを読み出してバスに送出し、バスを介して与えられたデータをRAMコアに書き込み、データに必要な処理を施し、お  
35      び/または、前記テーブルを更新するように構成されたことを特徴とする情報



処理ユニットによっても達成される。たとえば、前記ユニットが単一の回路基板に形成され、CPUモジュールが、レガシーメモリ、入力装置および表示装置を相互接続する他のバスと連結可能に構成されていても良い。

- さらに、本発明の目的は、上記情報処理ユニットと、CPUモジュールと他の
- 5 バスを介して連結された1以上のレガシーメモリを含む記憶装置、入力装置および表示装置とを有することを特徴とするコンピュータシステムによっても達成される。

#### 図面の簡単な説明

- 本発明の目的および他の目的は、添付図面とともに実施例を参照することにより、さらに明らかになるであろう。ここに、
- 10

図1は、本発明の実施の形態にかかるコンピュータシステムの構成を示すブロックダイアグラムである。

図2は、本実施の形態にかかるメモリモジュールの概略を示すブロックダイアグラムである。

- 15 図3は、単一メモリ空間における一連のデータの配置を示す図である。

図4は、本発明に係る多空間メモリにおける一連のデータの配置を示す図である。

図5は、本実施の形態におけるアドレスマッピングを説明するための図である。

- 20 図6は、本実施の形態における値修飾を説明するための図である。

図7は、本実施の形態にかかるメモリモジュール間のパイプライン処理の概略を示す図である。

図8は、本実施の形態にかかる多空間メモリの下での、メモリモジュール14の構造を説明するための図である。

- 25 図9は、多空間メモリの下での、メモリモジュール14の構造を説明するための図である。

図10は、多空間メモリの下での、メモリモジュール14の構造を説明するための図である。

図 1 1 は、ある空間 I D 中の所定の範囲の要素を削除するというインストラクションを受理した各メモリモジュールにて実行される処理を示すフローチャートである。

5 図 1 2 は、削除される要素と、メモリモジュールにて保持している要素の配置との関係を示す図である。

図 1 3 は、ある空間 I D 中の所定の範囲の要素を削除するというインストラクションを受理した各メモリモジュールにて実行される処理を示すフローチャートである。

10 図 1 4 は、ある空間 I D の配列の末尾に要素を追加するというインストラクションを受理した各メモリモジュールにて実行される処理を示すフローチャートである。

図 1 5 は、本実施の形態にかかる配列の結合および配列の分割を説明するための図である。

15 図 1 6 は、本実施の形態において、空間 I D 「1 0」を有する配列および空間 I D 「1 1」を有する配列、並びに、これらがメモリモジュール中に収容された状態を示す図である

図 1 7 は、本実施の形態において、配列の結合により得られた配列、および、各メモリモジュールにおける空間 I D 管理テーブルを示す図である。

20 図 1 8 は、本実施の形態において、空間 I D 「1 0」を有する配列を、空間 I D 「1 0」を有する配列と、空間 I D 「1 1」を有する配列に分割する一例を示す図である。

図 1 9 は、本実施の形態において、配列の分割により得られた配列、および、各メモリモジュールにおける空間 I D 管理テーブルを示す図である。

25 図 2 0 は、本実施の形態にかかる、一方のメモリモジュール群から、他のメモリモジュール群へのデータの平行コピーを示す図である。

図 2 1 は、本実施の形態にかかる変換済みフラグの利用を説明するための図である。

図 2 2 は、本実施の形態にかかる変換済みフラグの利用を説明するための図で

ある。

図 2 3 は、本実施の形態にかかるソート処理の流れを説明するための図である。

図 2 4 は、本実施の形態にかかるソート処理の流れを説明するための図である。

図 2 5 は、本実施の形態において、レコード番号から項目値が特定されるまで  
5 のデータの参照手順を示す図である。

図 2 6 は、本実施の形態にかかる他のソート処理の流れを説明するための図である。

図 2 7 は、本実施の形態にかかる検索処理の流れを説明するための図である。

図 2 8 は、本実施の形態にかかる検索処理の流れを説明するための図である。

10

#### 発明の好ましい実施例の説明

##### [ハードウェア構成]

以下、添付図面を参照して、本発明の実施の形態につき説明を加える。図 1 は、  
本発明の実施の形態にかかるコンピュータシステムの構成を示すブロックダイヤ  
グラムである。図 1 に示すように、コンピュータシステム 10 は、単一命令によ  
15 る並列演算を実現する CPU モジュール 12 と、並列演算のために必要な種々の  
データを記憶するメモリモジュール 14-1、14-2、14-3、…と、必要  
なプログラムやデータを記憶する固定記憶装置 16 と、キーボードやマウスなど  
の入力装置 18 と、CRT などからなる表示装置 20 と、種々の形式のデータ等  
が記憶されているレガシーメモリ 22 とを備えている。また、バス 24-1、2  
20 4-2、…において、CPU モジュール 12、各メモリモジュール 14 との接点  
には、スイッチ 28-1、28-2、28-3、…などが配設され、選択された  
回路要素間における情報の授受が可能となっている。また、CPU モジュール 1  
2 とメモリモジュール 14-1 との間、隣接するメモリモジュール間において、  
バスの連結および接続をなすためのスイッチ 30-1、30-2、…が設けられ  
25 ている。なお、本明細書に添付した図面において、メモリモジュールは、便宜上  
「PMM」と表記する場合があることに留意されたい。

CPU モジュール 12 と、メモリモジュール 14 との間には、複数のバス 24  
-1、24-2、24-3、24-4、…とが設けられている。したがって、C

PUモジュール12とメモリモジュール14との間、および、メモリモジュール間は、上記バスによりデータ等の授受が可能となっている。また、CPU12と、メモリモジュール14との間には、制御信号ライン25が設けられ、CPU12から発せられるインストラクションなどが、全てのメモリモジュール14に伝達  
5 されるようになっている。

さらに、CPU12と、他の構成要素（たとえば、固定記憶装置16、入力装置18など）との間には、ローカルバス26が配設されており、これらの間でもデータ等の授受が可能となっている。CPU12は、固定記憶装置16に記憶され、或いは、バス26上に接続されたRAMのような他の記憶装置（図示せず）  
10 に記憶されたプログラムを読み出し、このプログラムにしたがって、以下に示すメモリモジュール14へのインストラクションの送出を含むデータの授受のほか、スイッチ28、30の制御等を実行する。また、CPU12は、プログラムにしたがって、レガシーメモリ22に記憶された種々の形式のデータを受け入れて、この形式のデータを、CPU12、メモリモジュール14、バス24からなる系  
15 にて処理可能な一連のデータ（配列）に変換し、これらを、各メモリモジュール14に記憶させることもできる。

図2は、各メモリモジュール14の概略を示すブロックダイアグラムである。図2に示すように、メモリモジュール14は、CPUモジュール12から与えられるクロックなど同期信号を受け入れるクロックバッファ32と、データを記憶  
20 するRAMコア34と、後述する空間IDやデータの要素番号等を把握し、CPU12からのインストラクションなどを受理した場合に、空間IDや要素番号に基づき、RAMコア34へのデータ書き込みやRAMコアからのデータ読み出しを制御するMPU36と、バスの何れかからのデータを受け入れて、RAMコア34に供給し、および／または、RAMコア34からのデータを何れかのバスに  
25 送出するI/O38とを有している。この実施の形態において、メモリモジュール14は、制御信号ライン25を介して、CPUからのインストラクションを受け入れ、MPU36が、このインストラクションに応答して、RAMコア34のデータを読み出し、RAMコア34にデータを書き込み、或いは、データに所定

の処理を施すことができるようになっている。また、RAMコア34へのデータアクセスや、I/Oを介してデータ入力およびデータ出力は、クロックバッファ32に与えられるクロックなどの同期信号に基づき実行される。

図1および図2から明らかなように、本発明において、コンピュータシステム10は、メモリ共有型のシステムであると考えることができる。また、後述するように、制御信号ライン25を介して、各メモリモジュール14にインストラクションを与えることにより、各メモリモジュール14が並列的に処理を実行する。また、バスへのデータ出力およびバスからのデータ入力などが、所定の同期信号に基づき実行される。したがって、このコンピュータシステム10は、SIMDの形態をなしていると考えることができる。

#### [実現される機能の概略]

このような構成を有するコンピュータシステム10につきより詳細な説明を加える前に、本コンピュータシステム10により実現される機能の概略を簡単に説明する。

#### 15 (1) 多空間メモリ

本明細書において、多空間メモリとは、メモリ空間を、空間IDとアドレスとに基づきアクセスするために割り当てられたメモリ空間をいう。これにより、一連のデータが多数のプロセッサに分掌されていても、各プロセッサが、これを確実に分離、認識することができる。

20 従来のメモリ空間においては、プロセス毎に個別の領域を割り当てることはあっても、一連の変数（配列、構造体など）毎に目盛り空間を割り当てることは行われてこなかった。したがって、以下、このような従来のメモリ空間を「単一メモリ空間」と称する。単一メモリ空間のシステムにおいては、アドレスのみを用いてデータにアクセスしているため、関連を有する一連のデータを分離したり、  
25 認識することができなかった。このため、実際には並列処理が可能であっても、その可否を判断できない場合が多かった。また、ある単一メモリ空間に、新たな一連のデータを収容させる場合に、当該一連のデータの収容場所を確保するために、ガーベージコレクションを実行する必要があった。

これに対して、本発明においては、メモリ空間に、空間IDを導入し、一連のデータについて同一のIDを付与している。また、メモリモジュール14において、自身のRAMコア34に保持されているデータに関する空間IDを把握し、これにより、各メモリモジュール14自体が、現在アクセスされているデータの空間IDを参照することにより、自己の作動の是非を決定することができる。また、各メモリモジュールが空間IDと関連付けて、一連のデータの全部或いは一部を保持できるため、ある一連のデータを、複数のメモリモジュール14に分割して記憶させることができ、これによりガーベージコレクションを不要にすることができる。

たとえば、図3に示すように、単一メモリ空間において、“A”という一連のデータ、“B”という一連のデータ、…が収容されている場合を考える。たとえば、ここで、全メモリサイズが32ワードで、上記一連のデータのサイズの総和が30ワードであると仮定する。これら一連のデータは、空間中に点在しているため、未使用のメモリサイズは、12ワードであるにもかかわらず、実際に格納できる一連のデータのサイズは3ワードに限定される。このため、3ワードを超えたサイズを有する新たな一連のデータを収容すべき場合には、ガーベージコレクションを実行しなければならない。その一方、図4に示すように、本発明においては、一連のデータの各々に、空間IDが付与されている。これらは、空間IDと関連付けられて、1以上のメモリモジュール14に記憶される。したがって、未使用のサイズと収容可能なサイズとを一致させることが可能となる。

## (2) メモリモジュール

また、本発明においては、各メモリモジュール14が、MPU36を有し、上記空間IDのほか、自己が保持する一連のデータの各々の要素番号を把握している。したがって、CPU12からのインストラクションを受理した後、MPU36が、インストラクションにしたがってアクセスすべきデータが、自己のRAMコア34中に保持されているものか否かを判断して、アクセスに必要なの是非を決定することができる。さらに、各メモリモジュール14が、自己のRAMコア34に格納されている配列要素の添え字の範囲から、SIMDでのインストラクシ

ョンにおける暗黙の処理の分担範囲を決定することが可能である。

また、本発明においては、メモリモジュール14が、アドレスリマッピングを実行できるようになっている。たとえば、図5に示すように、ある配列の所定の位置に特定の要素を挿入する場合、その他、所定の位置の要素を削除し、或いは、  
5 配列の末尾に所定の要素を追加する場合にも、本実施の形態においては、当該配列に関連する要素を保持しているメモリモジュールの各々において、MPU36が、アドレスリマッピングを実行することにより、並列的かつ高速に、これらを実現することができる。さらに、図6に示すように、配列の要素（値）に修飾を与える場合（たとえば、各値に「1」を加える場合）にも、関連する配列の要素  
10 を保持するメモリモジュールの各々において、MPU36が、並列的かつ高速に、必要な処理を行うことができる。

また、メモリモジュール14においては、MPU36が、RAMコア34にて記憶すべきデータの各々のサイズを把握し、圧縮した形態にてこれらを記憶することができる。たとえば、あるメモリモジュール14にて、整数値のデータを保  
15 持すべき場合に、実際のデータ値が“0”ないし“3”までの値しか取り得ない場合には、MPU36は、各データのために2ビットのみを用意する。CPU12との間では、1つの整数を表現するために32ビットを使用していた場合には、メモリモジュール14とCPU12との間での通信のために、MPU36が、データ形式を変更して、CPU12との授受をなせば良い。これにより、RAMコ  
20 ア34をより無駄なく利用することが可能となる。また、文字列のような長さの異なるデータについても、同様にデータ長を変更して記憶することができるようになっている。

さらに、メモリモジュール14においては、所定の空間IDに関連付けられたデータや、所定の範囲の要素番号を付されたデータに、特定の値（たとえば、  
25 「0」）をセットすることができるようになっている。これにより、メモリモジュール14内で、高速に初期化の処理を実行することが可能となる。また、メモリモジュール14においては、ある特定のデータ（配列）中の値を検索することや、添字の範囲をチェックすることが可能である。

### (3) 組み替え可能バス

本発明においては、CPU 12が、スイッチ28-1、28-2、…およびスイッチ30-1、30-2、…を選択的にオン／オフして、データの授受をなすべきメモリモジュール14を指定することにより、パイプライン処理を実現している。たとえば、図7に示すように、あるメモリモジュール14-iから出力されたデータを、他のメモリモジュール14-jに与え、かつ、当該他のメモリモジュール14-jから出力されたデータを、さらに他のメモリモジュール14-kに伝達すべき場合には、CPU 12は、バス24-mを、メモリモジュール14-i、14-jのために割り当て、かつ、バス24-nを、メモリモジュール14-j、14-kのために割り当てるように、各スイッチの状態を設定する。

さらに、これらパイプライン処理は、単一のメモリモジュール間の接続により実現される場合だけでなく、複数の一連のメモリモジュール（メモリモジュール群）の間の接続により実現することも可能である。達成しようとする処理に応じて、各メモリモジュール間をつなぎ替え、各接続経路毎に、定められた種類のデータを定められた順序にて一方向に連続転送することで、バスの能力を100%近く使用できるように、通信をスケジュール化することができる。これにより、分散メモリ型の並列処理システムの最大の問題であった、プロセッサ間通信のパフォーマンスの低さを、解消することができる。

このように構成されたコンピュータシステム10において、多空間メモリの具体的構成および多空間メモリにおけるシステムの作動につき説明を加える。

#### [多空間メモリ]

図8は、多空間メモリの下での、メモリモジュール14の構造を説明するための図である。図8(a)に示すように、メモリモジュール14中のRAMコア34には、空間ID管理テーブルが設けられる。これにより、メモリモジュール14のMPU 36は、自己が保持するデータの空間ID等必要な情報を把握することが可能となる。

図8(b)に示すように、空間ID管理テーブルには、自己が保持するデータ群ごとの、空間ID、CPUの管理の下での、データ群の論理開始アドレス、デ



ータ群が割り付けられた領域のサイズ、RAMコア34中の物理開始アドレス、当該空間IDを有する一連のデータの全サイズ、および、アクセス制限を示すアクセス制限フラグが格納されている。アクセス制限フラグは、この実施の形態においては、読み出しのみ可能（R）、書き込みのみ可能（R）、読み書き可能（RW）の3つの状態を示すことができるようになっている。

メモリモジュール14のMPU36は、ある空間IDを有するデータ群が与えられた際に、RAMコア34中に当該データ群を収容すべき、1以上の領域を見出して、当該領域にデータ群をそのまま、或いは、2以上に分割して収容する。この際に、与えられた空間ID、論理開始アドレス、全サイズ、アクセス制限フラグとともに、実際にデータを収容したRAMコア中の論理開始アドレスや、割り付け領域サイズも、空間ID管理テーブルに記憶される。図8（c）は、図8（b）による空間ID管理テーブルにしたがったRAMコア36中のデータを示す図である。

#### [メモリアクセスの概略説明]

このように構成されたメモリモジュール14へのアクセスにつき以下に説明を加える。図9に示すように、まず、CPU12が、空間IDおよび論理アドレス、並びに、必要なインストラクション（たとえば、データの書き込みや読み出し）を、制御信号ライン25を介して、全てのメモリモジュール14に伝達する。各メモリモジュール14においては、これに応答して、MPU36に設けられた空間コンパレータ52が、空間IDと、自己の空間ID管理テーブル上に保持されている空間IDとを比較して、同一のものを、自己が保持しているかを判断し、また、アドレスコンパレータ54が、論理アドレスについて、同様の判断を行う。次いで、メモリモジュール14のMPU36が、自己のRAMコア34に、インストラクションによる処理対象となるデータが保持されていると判断した場合には、アドレスカリキュレータ56が、空間ID管理テーブルを参照して、RAMコア34中の物理アドレスを算出し、処理対象となるデータを特定する。

このようにして、データが特定された後に、MPU36は、CPU12から与えられたインストラクションに応じた処理（たとえば、データの書き込みや読み

出し) を実行し、必要な場合には、データをCPU12に伝達する(図9(c)参照)。

[多空間メモリのより具体的な動作：配列中の要素の削除等]

たとえば、ある空間IDをもつ一連のデータ(以下、これを場合によって「配  
5 列」と称する。)が、1以上のメモリモジュール14に收容された状態から、特定の要素が削除された状態までの一連の動作につき以下に説明する。

あるメモリモジュール14-iにおいて、空間ID「010」に属するデータ  
群が、図10(a)に示すように格納され、他のメモリモジュール14-jにお  
いて、空間ID「010」に属するデータ群が、図10(b)に示すように格納  
10 されている場合を考える。たとえば、メモリモジュール14-iにおいては、論理アドレス「0」から「59」までのデータが、そのRAMコアの物理アドレス「100」から記憶されていることがわかる。この場合に、みかけの配列は、図10(c)に示すようなものとなる。

このように複数のメモリモジュールに、ある配列が格納されている場合に、特  
15 定の要素を削除する際の処理につき以下に述べる。CPU12から、各メモリモジュール14-1、14-2、…に、制御信号ライン25を介して、空間ID「010」の要素「50~59」を削除するというインストラクションが発せられた場合を考える。図11および図13は、ある空間ID中の所定の範囲の要素を削除するというインストラクションを受理した各メモリモジュールにて実行さ  
20 れる処理を示すフローチャートである。

各メモリモジュールのMPU36は、制御信号ライン25を介して与えられた  
インストラクションを受理して、その内容を解釈し(ステップ1101)、イン  
ストラクション中の「空間ID」を調べ(ステップ1102)、自己のRAMコ  
ア34が保持するデータの空間IDに関連しているか否かを判断する(ステップ  
25 1103)。ステップ1103にてノー(No)と判断された場合には、処理を終了し、その一方、イエス(Yes)と判断された場合には、MPU36は、空間ID管理テーブルを参照して、当該空間IDに関するデータ群が書き込み可能な状態になっているか、或いは、削除要求のあった範囲のサイズが、全サイズよりも

小さいか否かなどを判断する（ステップ1104）。チェックによって異常があると判断された場合（ステップ1105でイエス(Yes)）には、MPU36は、制御信号ライン25を介してエラーが生じたことを通知する。その一方、異常がない場合には、MPU36は、インストラクションにより削除を要求された範囲と、自己のRAMコア34にて保持する要素の範囲とを比較し（ステップ1107）、その比較結果によって（ステップ1108）、種々の処理を実行する。

まず、削除要求のあった範囲が、自己の保持する要素の範囲よりも後ろである場合（図11の「A」および図12（a）参照）には、MPU36は何ら処理を実行しない（ステップ1109参照）。削除要求のあった範囲が、自己の保持する要素の後方に重なって位置している場合（図11の「B」および図12（b）参照）には、MPU36は、割り付け領域サイズを更新する（ステップ1110）。すなわち、削除要求範囲の先頭（矢印1201参照）から、自己のRAMコア34にて保持する要素の範囲の末尾（矢印1202参照）までがガーページとなるように、割り付け領域サイズが変更される。

その一方、削除要求のあった範囲が、自己の保持する要素の範囲よりも前方である場合（図11の「C」および図12（c）参照）には、MPU36は、論理開始アドレスを、削除要求のあったサイズ分だけ減じるように、論理開始アドレスを更新する（ステップ1111）。さらに、削除要求のあった範囲が、自己の保持する要素の範囲よりも前方で、かつ、一部だけ重なる場合（図11の「D」および図12（d）参照）には、MPU36は、論理開始アドレスを、削除要求のあった範囲の先頭の値に変更するとともに、物理開始アドレスを、削除要求のあった範囲の末尾の値「+1」に対応する物理アドレスに変更する（ステップ1112）。次いで、MPU36は、割り付け領域サイズを更新する（ステップ1113）。

また、削除要求のあった範囲が、自己の保持する要素の範囲を包含する場合（図11の「E」および図12（e）参照）には、MPU36は、当該空間IDに関する種々のデータを、空間ID管理テーブルから削除する（図13のステップ1114）。最後に、削除要求のあった範囲が、自己の保持する要素の範囲に

包含される場合（図11の「F」および図12（f）参照）には、空間ID管理テーブルを二つに分割して、削除範囲より前方に関する種々のデータと、削除範囲より後方に関する種々のデータに関するものを生成する（ステップ1115）。  
5 或いは、MPU36は、自己のRAM34に関して、ガベージコレクションを時刻しても良い。

このようにして、CPU12からの単一命令（ある空間IDの削除命令）に  
答して、各メモリモジュール14が動作して、所定のメモリモジュールにて必要  
な処理が並列的に実行される。

次に、ある空間IDを有する配列の末尾に、ある要素を追加する場合につき簡  
10 単に説明する。図14は、ある空間IDの配列の末尾に要素を追加するというイ  
ンストラクションを受理した各メモリモジュールにて実行される処理を示すフロ  
ーチャートである。図14のステップ1401～ステップ1406は、図11の  
ステップ1101～ステップ1106に対応する。次いで、各メモリモジュール  
14のMPU36は、追加すべき要素を、自己のRAMコア34に記憶すべきか  
15 否かを判断する（ステップ1407）。これは、MPU36が、自己の空間ID  
管理テーブルを参照することにより実現できる。ステップ1407にてイエス  
（Yes）と判断された場合には、空間ID管理テーブル中の必要な値を更新し（た  
とえば、割り付け領域サイズを、追加する要素数に応じて変更する）、次いで、  
RAMセル中の所定の領域に、追加すべき要素を書き込む（ステップ1409）。  
20 或いは、空間ID管理テーブルの種々の値を生成して、対応するRAMセル中の  
領域に、追加すべき要素が書き込まれても良い。

次いで、MPU36は、空間ID管理テーブル中の当該空間IDに関連する  
「全サイズ」の値を更新する（ステップ1410）。ステップ1407において  
ノー（No）と判断された場合にも、空間ID管理テーブル中の関連する「全サイ  
25 ズ」の値が更新される。

配列中の任意の位置に要素を追加する場合にも、削除要求と略同等の処理が、  
各メモリモジュール14にて実行される。

[多空間メモリのより具体的な動作：配列の結合および分割]

次に、図15(a)に示すように、複数の配列を結合したり、或いは、図15(b)に示すように、単一の配列を複数の配列に分割する場合につき説明を加える。本実施の形態にかかるコンピュータシステム10においては、ある空間ID(図15(a)においては空間ID「100」)を有する配列、および/または、  
5 他の空間ID(図15(b)においては空間ID「100」)を有する配列が、単一のメモリモジュールのRAMコアに收容されていても良いし、或いは、複数のメモリモジュールのRAMコアに收容されていても良い。

図16は、空間ID「10」を有する配列および空間ID「11」を有する配列、並びに、これらがメモリモジュール中に收容された状態を示す図である。図  
10 16(a)においては、その空間IDが「10」であり、かつ、各要素のサイズが10ワードである配列1501が示されている。この配列1501中の要素は、メモリモジュール14-1ないし14-xに收容されている。また、図16(b)においては、その空間IDが「11」であり、かつ、各要素のサイズが10ワードである配列1510が示されている。この配列1510の要素も、メモ  
15 リモジュール14-1ないし14-xに收容されている。

CPU12が、制御信号ライン25を介して、「空間ID「10」の配列と空間ID「11」の配列とを結合する」旨のインストラクションを発すると、各メモリモジュール14は、これを受理して、自己の保持しているデータの空間IDに関するインストラクションであるか否かを判断する。これらの処理は、図11  
20 のステップ1101ないしステップ1106と略同様である。

次いで、自己の保持しているデータの空間IDが、インストラクションに関連している場合には、メモリモジュールのMPUは、以下の手順にしたがって、配列の結合を実現する。

上記図16に示す場合に、関連する各メモリモジュール14は、空間ID「10」および空間ID「11」の双方の要素を保持している場合に、空間ID「11」に関する空間ID管理テーブルの値を更新する。より具体的には、空間ID「10」に関する「全サイズ」の値を参照して、その論理開始アドレスを再度算出する(たとえば、図17の符号1701、1702参照)。また、関連する各

メモリモジュールは、空間ID管理テーブル中の「全サイズ」の値を、二つの配列をくみ合わせたサイズに対応するものに更新する（たとえば、図17の符号1703参照）。図17は、このようにして得られた配列1710、および、各メモリモジュール14-1～14-xにおける空間ID管理テーブル（たとえば、  
5 符号1711、1712参照）を示す図である。

図18は、空間ID「10」を有する配列を、空間ID「10」を有する配列と、空間ID「11」を有する配列に分割する一例を示す図である。図18（a）に示す、空間ID「10」を有する配列の分解点を定め、分解点より前方に位置する要素を空間ID「10」の配列とするとともに、分解点より後方に位置する要素を空間ID「11」の配列とする。  
10

この場合にも、CPU12が、制御信号ライン25を介して、「空間ID「10」の配列を、分解点を境にして、空間ID「10」の配列と空間ID「11」の配列とに分解する」旨のインストラクションを発すると、各メモリモジュール14は、図11のステップ1101ないしステップ1106に略対応する処理を実行し、メモリモジュールのうち、インストラクションに関連するもの（図18  
15 の例では、メモリモジュール14-1～14-x）が、所定の処理を実行する。たとえば、MPU36は、分解点より後方に位置する要素を収容している場合に、空間ID「011」に関する空間ID管理テーブル中の種々の値を作成するとともに、空間ID「010」に関する空間管理IDテーブルのうち、全サイズに関する値を更新する。また、分解点より前方に位置する要素のみを収容している場  
20 合にも、メモリモジュールのMPU36は、空間ID「010」に関する空間管理IDテーブルのうち、全サイズに関する値を更新する。図19は、このようにして得られた配列1901、1902、および、各メモリモジュール14-1～14-xにおける空間ID管理テーブル（たとえば、符号1911、1912および1913参照）を示す図である。  
25

[多空間メモリのより具体的な動作：パラレルコピー]

次に、多空間メモリの下で、場合によっては組み替え可能バスを利用したパラレルコピーにつき、簡単に説明を加える。

たとえば、CPU 12からの単一のインストラクションにしたがって、図20に示すように、一方のメモリモジュール群140から、他のメモリモジュール群141へのデータの平行コピーを実現することができる。平行コピーには以下の態様が考えられる。

5 (1) 一方のメモリモジュール群140には単一のメモリモジュールが含まれ、他方のメモリモジュール群には、複数のメモリモジュールが含まれる場合。

(2) 一方のメモリモジュール群140に、複数のメモリモジュールが含まれ、他方のメモリモジュール群にも、複数のメモリモジュールが含まれる場合。

前者においては、コピー元の要素を収容しているメモリモジュール14のMP  
10 U36は、CPU12から制御信号ライン25を介して与えられたインストラクション（たとえば、ある空間IDを有する配列中の所定の要素を、空間ID8、9、10の配列としてコピーせよという指令）を受理して、RAMコア34から指定された要素を所定のバス上に出力する。その一方、コピー先となるMPU36も、同一のインストラクションの受理に応答して、バスから出力された要素を受理して、これをRAMコア34の所定の領域に記憶するとともに、自己の空間ID管理テーブルを更新する。

後者においては、複数のバスを利用して、一方のメモリモジュール群140中のメモリモジュールからのデータを、それぞれ、他方のメモリモジュール群141の対応するメモリモジュールに与えることが可能である。この場合には、CPU  
20 U12は、スイッチ28およびスイッチ30を、所定のメモリモジュール間のデータの授受が可能なように制御すれば良い。

[多空間メモリのより具体的な動作：隠れ更新など]

本実施の形態にかかる多空間メモリを用いて、添字変換により、入力された添え字を変換して、変換済みの添え字によって、配列を指定し、さらに、配列の要素に値を修飾することができる。ある処理が終了して、コミットすることにより、  
25 添字変換や値修飾が不要となったときに、各メモリモジュールのMPUは、当該配列に関する空間ID管理テーブルを書きかえてリマッピングを実行することにより、瞬時に添字変換を解消することができる。その一方、値修飾自体は、実際

のRAMコアに記憶された要素を更新する必要があるため、時間を要する。したがって、各メモリモジュールにおいて、変換済フラグを設け、値修飾が反映された要素が、実際にRAMコアに記憶した後に、当該要素に対応するフラグを「1」にセットされる。このようにすれば、あるプロセスにおいて、変換フラグを参照して、これが「1」である場合には、値修飾を経る必要がなく、その一方、変換フラグが「0」であるバイには、値修飾を経る必要があることを容易に知ることができる。したがって、実質的にコミットを瞬時に実現することができる。

さらに、本実施の形態にかかる多空間メモリを用いれば、図21に示すように、ネスト構造の値修飾についても、変換済フラグを設け、この変換済フラグを参照することにより、値修飾を経る必要の有無を知ることが可能となる。

[多空間メモリおよび組み替え可能バスの利用：ソート（その1）]

本実施の形態においては、多空間メモリおよび組み替え可能バスを利用することにより、CPU12からの単一のインストラクションに基づき、並列的にソート処理を実行することが可能となる。以下、本実施の形態における並列的なソート処理につき説明を加える。

図23および図24は、本実施の形態にかかるソート処理の流れを説明するための図である。このソート処理では、大きく分けて、図23に示す処理（存在数の確定および累計の算出）と、図24に示す処理（レコード番号の転送）とに分けて考えることができる。

この実施の形態にかかるソート処理を実現するために、本実施の形態においては、レコード番号を格納したレコード番号配列、ある項目に関する実際の項目値を格納した値リスト、および、レコード番号配列からの値（レコード番号）を入力として、対応する値リストの格納位置を示すポインタ値を出力するように構成された値リストへのポインタとを利用している。すなわち、レコード番号から、対応する位置の値リストへのポインタ値が参照され、そのポインタ値にしたがって、実際の項目値が指定されるようになっている（図25参照）。

まず、CPU12が、必要なインストラクションを、制御信号ライン25を介して、各メモリモジュール14に与えると、各メモリモジュールにて、図11の



ステップ1101ないしステップ1106に略同等の処理が実行される。また、関連するメモリモジュールのうち、レコード番号を格納したメモリモジュールからの通知にしたがって、CPU12は、レコード番号を格納した一連のメモリモジュール（第1のメモリモジュール群2301）の出力を、あるバス（「第1のバス」と称する）に接続するように、スイッチ28、30を制御する。

次いで、値リストへのポインタ配列を格納したメモリモジュールからの通知にしたがって、CPU12は、上記値リストへのポインタ配列を格納した一連のメモリモジュール（第2のメモリモジュール群2302）の出力を、あるバス（「第2のバス」と称する）に接続するように、スイッチ28、30を制御する。

さらに、他の一連のメモリモジュール（第3のメモリモジュール群2303）においては、値リストへのポインタと同一サイズ（同じ要素数）の「存在数配列」のための領域が確保され、かつ、各要素が「0」に初期化される。さらに、第3のメモリモジュール群の入力を、上記第2のバスと接続する。

次いで、レコード番号配列の先頭から順に、レコード番号が第1のバスに送出される。これは、第1のメモリモジュール群2301において、各メモリモジュールのMPU36が、空間ID管理テーブルを参照して、自己が第1のバスにデータを出力するタイミングを検出して、所定のレコード番号を送出することにより実現される。

レコード番号は、第1のバスを介して、第2のメモリモジュール群2302を構成するメモリモジュールの各々に与えられる。各メモリモジュールのMPU36は、自己の空間ID管理テーブルを参照して、自己が管理する値リストへのポインタ配列に関連するレコード番号が入力されたことを検出し、当該入力に対応するポインタ値を第2のバスに出力する。

ポインタ値は、第2のバスを介して、第3のメモリのジュール群を構成するメモリモジュールの各々に与えられる。各メモリモジュールのMPU36は、自己の空間ID管理テーブルを参照して、自己が管理する値リストのポインタ配列に関連するポインタ値が与えられたことを検出し、存在数配列において、ポインタ値に対応する位置の要素をインクリメントする。この動作を繰り返すことにより、

項目値が何度レコード番号により指されているか（ポイントされているか）を知ることができる。

上記存在数配列のための一連の処理が終了すると、ソートされたレコード番号を格納する配列を作成するために、一連のメモリモジュールに、一定の領域が確保される。この一連のメモリモジュールを、第4のメモリモジュール群2304と称する。CPU12は、先の処理に利用した第3のメモリモジュール群の出力と、第4のメモリモジュール群の入力とを、バス（「第3のバス」と称する）を介して接続するように、スイッチ28、30を制御する。

このような準備が終了した後、ソート処理が実行される。より具体的には、レコード番号配列の先頭から、レコード番号が第1のバスを介して、第2のメモリモジュール群を構成するメモリモジュールに与えられる。第2のメモリモジュール群中の所定のメモリモジュールにおいては、MPU36がレコード番号の受理に応答して、ポインタ値を、第2のバスを介して、第3のモジュール群に伝達する。

次いで、第3のメモリモジュール群のうち、所定のメモリモジュールにおいて、MPU36が、ポインタ値に基づき、関連する存在数配列を参照して、レコード番号の格納位置を決定する。これにより、レコード番号およびその格納位置が、当該メモリモジュールから、第3のバスに送出される。したがって、第4のメモリモジュール群の所定のメモリモジュールにおいて、MPU36が、レコード番号を、所定の格納位置に配置する。この処理を繰り返すことにより、第4のメモリモジュール群に、ソートされたレコード番号の配列（図24の符号2410）を作成することができる。

たとえば、図23に示す処理を、パイプライン処理にすることができる。すなわち、第1のバスにおいて、あるレコード番号「p」が伝達されている際に、第2のバスにおいては、レコード番号「p-1」に関するポインタ値「P（p-1）」が伝達され得る。また、同様に、図24に示す処理も、パイプライン処理にすることが可能である。この場合にも、第1のバスにおいて、あるレコード番号「p」が伝達されている際に、第2のバスにおいては、レコード番号「p-

1」に関するポインタ値「 $P(p-1)$ 」が伝達され得る。さらに、同じタイミングで、第3のバスにおいては、レコード番号「 $p-1$ 」に関する格納位置が伝達され得る。

このようなパイプライン処理の処理時間につき、以下のような結果が得られた。

- 5 まず、図23の処理に関して、第1のバスないし第4のバスが、それぞれ、128ビットであり、それぞれ、12.8GB/秒の転送能力があると考え、また、レコード番号やポインタ値が、それぞれ、32ビット整数であると仮定した。いま、レコード数が10億個の場合に、上記処理では、40億バイトの転送が発生するが、パイプライン処理を実行するため、 $4G/12.8G = 0.3125$ 秒
- 10 にて完了することが分かった。

同様に、図24の処理に関して、同様の転送能力およびデータサイズを仮定すると、レコード数が10億個の場合に、80億バイトの転送が発生するが、本実施の形態によれば、パイプライン処理の実行により、 $8G/12.8G = 0.625$ 秒にて処理を完了することができる。

- 15 [多空間メモリおよび組み替え可能バスの利用：ソート（その2）]

次に、他の手法によるソート処理につき簡単に説明を加える。このソート処理においても、まず、レコード番号配列を格納したメモリモジュールからなる第1のメモリモジュール群（図26の符号2601参照）の出力と、第1のバスとが接続され、かつ、値リストへのポインタ配列を格納したメモリモジュールからなる第2のメモリモジュール群2602の入力が、第1のバスと接続される。これにより、第1のメモリモジュール群2601の出力が、第1のバスを介して、第2のメモリモジュール群2602に伝達可能となる。

20

その一方、第2のメモリモジュール群2602と、同一の数の空間IDを有する配列の領域が、第3のメモリモジュール群2603に確保されるとともに、第2のメモリモジュール群2602の出力と、第3のメモリモジュール群の入力とが、第2のバスを介して接続される。

25

次いで、第1のメモリモジュール群2601において、あるレコード番号を収容するメモリモジュールのMPU36が、当該レコード番号を、第1のバスに送

出すると、第2のメモリモジュール群2602の所定のメモリモジュールにおいて、MPU36がこの受理に応答して、対応するポインタ値から、空間IDを算出し、レコード番号および空間IDを、第2のバスに送出する。

第3のメモリモジュール群において、当該空間IDおよびレコード番号に基づき、所定のメモリモジュール36が起動し、当該空間IDを有する配列の末尾に、与えられたレコード番号を配置する。このような処理を全てのレコード番号について実行した後に、第3のメモリモジュール群において、各メモリモジュールのMPU36は、自己の有する配列を結合するための処理を実行する。このような手法によっても、高速なソート処理を実現することができる。

#### 10 [多空間メモリおよび組み替え可能バスの利用：検索（その1）]

また、本実施の形態においては、多空間メモリおよび組み替え可能バスを利用することにより、CPU12からの単一のインストラクションに基づき、並列的に検索処理を実行することができる。

図27および図28は、本実施の形態にかかる検索処理の流れを説明するための図である。この検索処理のために、レコード番号配列、値リストへのポインタ配列、値リストおよび後述する可否フラグ配列などが利用される。したがって、この例でも、図25のように、レコード番号、ポインタ値、項目値の順に、値が参照されるようになっている。

まず、CPU12が、必要なインストラクションを、制御信号ライン25を介して、各メモリモジュール14に与えると、各メモリモジュールにて、図11のステップ1101ないしステップ1106に略同等の処理が実行される。また、関連するメモリモジュールのうち、値リストを格納したメモリモジュールからの通知にしたがって、CPU12は、値リストを格納した一連のメモリモジュール（第1のメモリモジュール群2701）の出力を、あるバス（「第1のバス」と称する）に接続するように、スイッチ28、30を制御する。さらに、そのような素数が値リストのものと同一である可否フラグ配列のための領域が、一連のメモリモジュール（第2のメモリモジュール群2702）に確保され、当該第2のメモリモジュール2702に属する各メモリモジュールのMPU36が、当該領域

の要素を「0」に初期化する。

次いで、第2のメモリモジュール群2702の入力が、第1のバスに接続される。次いで、CPU12から与えられた検索条件にしたがって、第2のメモリモジュール群の各メモリモジュールにおいて、MPU36が、値リスト中の検索条件に合致する項目値の位置を参照して、可否フラグ配列の対応する値を「1」に  
5 セットする。たとえば、検索条件が範囲であれば、二分割法などを用いれば良い。また、その他の条件であれば、要素ごとにその可否を判断すれば良い。

このような処理が終了した後に、検索が実行される。まず、レコード番号配列を格納した一連のメモリモジュール（第3のメモリモジュール群2703）の出力を、第1のバスに接続するとともに、値リストへのポインタ配列を格納した一連のメモリモジュール（第4のメモリモジュール群2704）の入力を、第1のバスに接続するよう、CPU12は、スイッチ28、30を制御する。また、第4のメモリモジュール群2704の出力を、第2のメモリモジュール群2702の入力とを、第2のバスと接続するように、CPU12は、スイッチ28、30  
15 を制御する。

さらに、レコード番号の要素数と同じ要素数を有する配列のための領域が、一連のメモリモジュール（第5のメモリモジュール2705）に確保され、CPU12は、その入力と、第2のメモリモジュール群2702の出力とが、第3のバスを介して接続されるように、スイッチ28、30を制御する。

20 このような処理の後に、レコード番号配列の先頭から順に、レコード番号が第1のバスに送出される。これは、第3のメモリモジュール群2703において、各メモリモジュールのMPU36が、空間ID管理テーブルを参照して、自己が第1のバスにデータを出力するタイミングを検出して、所定のレコード番号を送出することにより実現される。

25 レコード番号は、第1のバスを介して、第4のメモリモジュール群2704を構成するメモリモジュールの各々に与えられる。各メモリモジュールのMPU36は、自己の空間ID管理テーブルを参照して、自己が管理する値リストへのポインタ配列に関連するレコード番号が入力されたことを検出し、受理したレコー

ド番号および当該入力に対応するポインタ値を第2のバスに出力する。

ポインタ値は、レコード番号とともに、第2のバスを介して、第3のメモリのジュール群を構成するメモリモジュールの各々に与えられる。各メモリモジュールのMPU 36は、自己の空間ID管理テーブルを参照して、自己が管理する可否フラグ配列の位置と同じ位置を示すポインタ値が与えられたことを検出し、当該ポインタ値が示す可否フラグが、「0」であるか「1」であるかを判断する。次いで、可否フラグが「1」の場合には、関連するレコード番号が、第3のバスを介して、第5のメモリモジュール群2705に与えられる。

第5のメモリモジュール群2705においては、各メモリモジュールのMPU 36は、自己の空間ID管理テーブルを参照して、自己が管理するヒット情報格納用配列の位置と同じ位置を示すレコード番号が与えられたことを検出し、その位置の要素を「1」にする。このような処理を所定のレコード番号に関して繰り返し、ヒット情報格納用配列にて「1」である要素を取り出すことにより、検索が完了する。

ソート処理と同様に、上記検索処理でも、図27を参照して説明した処理、および、図28を参照して説明した処理を、それぞれ、パイプライン処理にて実現することができる。検索処理におけるパイプライン処理の処理時間につき、以下のような結果が得られた。

バスの転送能力、および、各要素のビット数は、ソート処理と同様であると考えた。レコード数が10億個の場合に、上記検索処理では、80億バイトの転送が発生するが、パイプライン処理を実行するため、 $8G / 12.8G = 0.624$ 秒にて完了することが分かった。

さらに、本検索処理を用いれば、AND、OR或いはNOTなどを組み合わせた複数項目の検索を実現することもできる。より具体的には、各項目につき、ヒット情報格納用配列を作成し、これら配列の要素間での論理演算を行えば良い。

たとえば、二つの項目のAND或いはOR検索では、ヒット情報格納用配列の要素の転送（10億バイト）が行われる。したがって、その処理時間は、 $(10G / 8) / 12.8G = 0.098$ 秒だけ必要であることが理解できる。

なお、さらに高速化を図るために、AND検索の場合には、二つの検索処理を実行するメモリモジュール群を縦列に接続すれば良い。また、第4のメモリモジュール群と第2のメモリモジュール群を、同一の複数のメモリモジュールにて構成できるように、配列を配置すれば、ボトルネックを解消することができ、これにより、略2倍の処理速度を得ることが可能となる。

本発明は、以上の実施の形態に限定されることなく、特許請求の範囲に記載された発明の範囲内で、種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることは言うまでもない。

たとえば、前記実施の形態においては、本発明を、コンピュータシステムに適用しているがこれに限定されるものではなく、パーソナルコンピュータなどに接続可能なコンピュータボードに適用することもできる。この場合には、図1において、CPU12、メモリユニット14、バス24等がボード上に搭載され、これが、本発明における情報処理ユニットを構成する。

また、CPU12とメモリモジュール14との間、および／または、メモリモジュール14間を接続するバスの組の数は、前記実施の形態に限定されるものではなく、コンピュータシステムを搭載する回路基板の大きさ、各バスのビット数などを考慮して適宜決定することができる。また、前記実施の形態においては、メモリモジュールの入出力とバスとの接続を規定するためのスイッチ28と、CPUとメモリモジュールとの間、メモリモジュール間で、バスの切断することができるスイッチ30とを設けている。スイッチ30を設けることにより、たとえば、あるバス（図1のバス24-4参照）を、CPUモジュール12とメモリモジュール14-1とのデータ授受のために利用するとともに、同時に、メモリモジュール14-2とメモリモジュール14-3との間のデータ授受のために利用することができる（この場合に、スイッチ30-5をオフにすれば良い）。したがって、より有効にバスを利用することが可能となっている。しかしながら、バスの組を数を十分に大きくできる場合、或いは、メモリモジュールの数が比較的小さい場合には、スイッチ30を必ずしも設けなくて良い。

また、本明細書において、制御信号ライン25を介して、CPU12からのイ

ンストラクションが与えられることを記載したが、制御信号ライン25を介して、インストラクションのほか、クロックなど、各メモリモジュールが同期して作動するための種々の制御信号が与えられ、かつ、各メモリモジュールからCPU12への所定の信号（たとえば、エラー信号や、データ受理を示す信号）が与えられていることは言うまでもない。

さらに、本明細書において、一つの手段の機能が、二つ以上の物理的手段により実現されても、若しくは、二つ以上の手段の機能が、一つの物理的手段により実現されてもよい。

本発明によれば、分散メモリ型において、単一命令により種々のメモリに記憶された配列中の要素を入出力し、著しく高速な並列処理を実現可能なコンピュータアーキテクチャを提供することが可能となる。

#### 産業上の利用分野

本発明は、特に、大量のデータを管理するシステム、たとえば、データベース、データウェアハウスに利用することできる。より具体的には、大規模な科学技術計算、受発注管理や証券取引などの基幹業務管理、事務管理に利用可能である。



## 請求の範囲

1. CPUモジュールと、それぞれがMPUおよびRAMコアとを有する複数のメモリモジュールと、前記CPUとメモリモジュールとの接続、および／または、メモリモジュール間の接続をなす複数組のバスとを備え、CPUから各メモリモジュールのMPUに与えられるインストラクションにより、各メモリモジュールのMPUが作動するように構成された並列コンピュータのアーキテクチャであって、

所定の関連を有する一連のデータに、空間IDが付与され、各メモリモジュールのMPUが、少なくとも、当該空間ID、自己が管理する一連のデータの部分に関する論理アドレス、当該部分のサイズ、および、一連のデータのサイズを含むテーブルを管理し、かつ、

各メモリモジュールのMPUが、受理したインストラクションに、自己が管理する一連のデータの部分が関与しているか否かを判断して、RAMコアに記憶されたデータを読み出してバスに送出し、バスを介して与えられたデータをRAMコアに書き込み、データに必要な処理を施し、および／または、前記テーブルを更新するように構成されたことを特徴とする並列コンピュータのアーキテクチャ。

2. 前記MPUが、CPUから与えられた空間IDを、自己が管理する1以上の一連のデータの空間IDと比較する空間コンパレータと、

CPUから与えられた論理アドレスと、自己が管理するデータの部分の論理アドレスとを比較するアドレスコンパレータと、

当該論理アドレスに基づき、自己のRAMセル上の物理アドレスを算出するアドレスカリキュレータとを有することを特徴とする請求項1に記載のコンピュータアーキテクチャ。

3. 前記メモリモジュールの各々が、CPUモジュールおよび他のメモリモジュールとの同期をなすための同期信号を受け入れ、かつ、

前記複数組のバスの何れかとの接続が可能な入力と、前記複数組のバスの他の何れかとの接続が可能な出力を備え、少なくとも、前記同期信号にしたがって、前記何れかのバスと入力との接続により、データを入力しつつ、前記他の何れか

のバスと出力との接続により、データを出力できるように構成されたことを特徴とする請求項1または2に記載のコンピュータアーキテクチャ。

4. 前記複数組のバスの各々に、前記CPUモジュールと何れかのメモリモジュールの入力または出力との間、および／または、他の何れかのメモリモジュール

5 の入力または出力と、さらに他のメモリモジュールの出力または入力との間の接続を規定するためのスイッチが設けられ、

前記スイッチの切換により、複数組のバスの各々において、並列的にデータの授受が実現されることを特徴とする請求項3に記載のコンピュータアーキテクチャ。

10 5. 前記複数組のバスのうちの何れかである第1のバスに、何れかのメモリモジュールの出力と、他の何れかのメモリモジュールの入力とが接続され、かつ、前記複数組のバスのうち、他の何れかである第2のバスに、当該他の何れかのメモリモジュールの出力と、さらに他の何れかのメモリモジュールの入力とが接続され、第1のバスにおけるデータの授受と、第2のバスにおけるデータの授受が並列的に進行することを特徴とする請求項4に記載のコンピュータアーキテクチャ。

15 6. 前記バスとメモリモジュールとの間の接続を繰り返して、多段のメモリモジュール間の接続を形成することを特徴とする請求項5に記載のコンピュータアーキテクチャ。

7. 前記MPUが、一連のデータ中の特定の要素を削除し、前記一連のデータ中に特定の要素を挿入し、或いは、一連のデータの末尾に特定の要素を追加することを示すインストラクションを受理すると、テーブルを参照して、自己の管理するデータの領域と、削除、挿入或いは追加にかかる要素の位置とを比較して、当該比較結果に応じて、前記テーブルの内容を更新することを特徴とする請求項1

20 ないし6の何れか一項に記載のコンピュータアーキテクチャ。

25 8. 前記MPUが、与えられたインストラクションに応答して、一連のデータ中の要素を特定するための添え字を変換し、および／または、要素に特定の修飾を与える値変換を実行することを特徴とする請求項1ないし7の何れか一項に記載のコンピュータアーキテクチャ。

9. CPUモジュールと、それぞれがMPUおよびRAMコアとを有する複数のメモリモジュールと、前記CPUとメモリモジュールとの接続、および／または、メモリモジュール間の接続をなす複数組のバスとを備え、CPUから各メモリモジュールのMPUに与えられるインストラクションにより、各メモリモジュールのMPUが作動するように構成された情報処理ユニットであって、

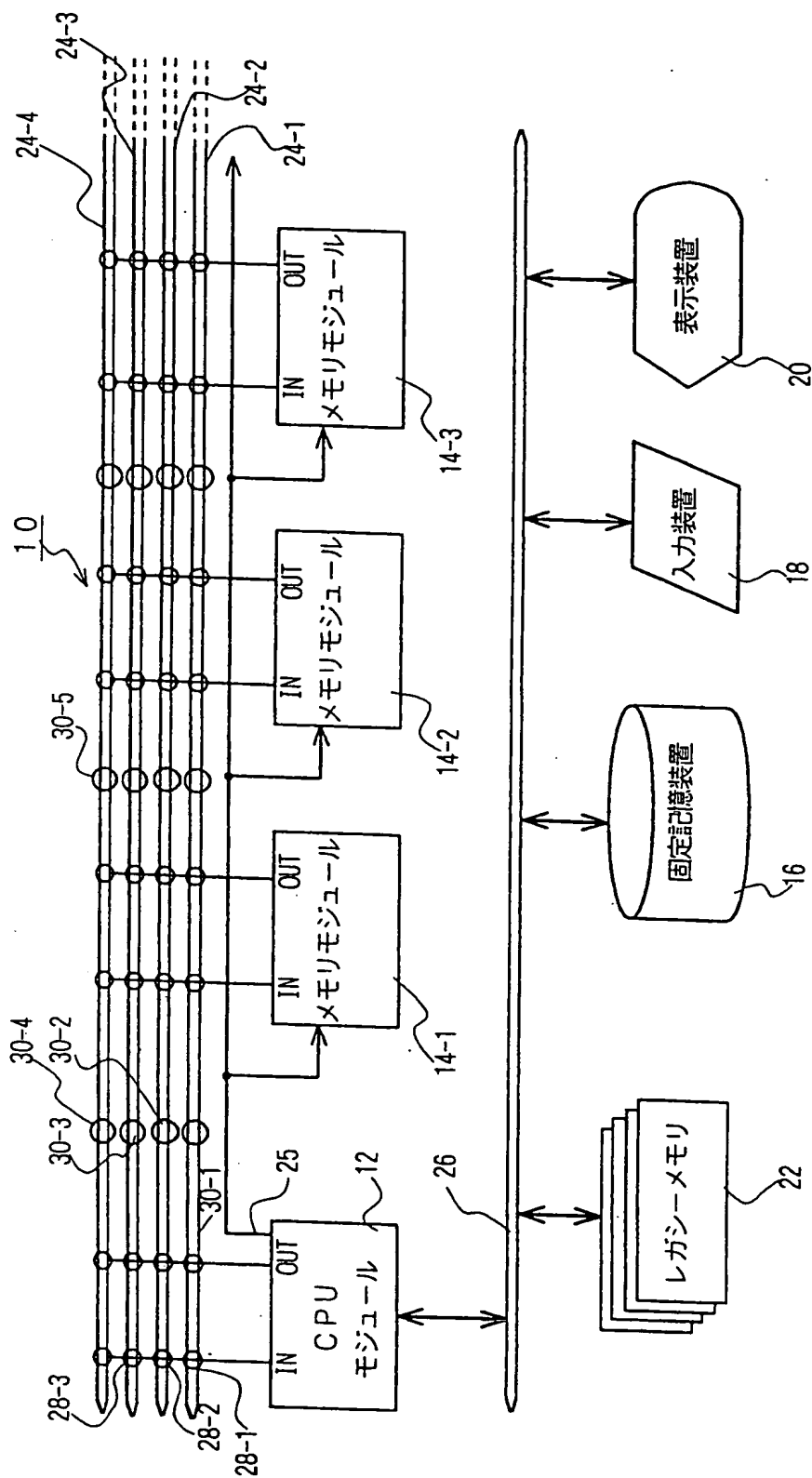
所定の関連を有する一連のデータに、空間IDが付与され、各メモリモジュールのMPUが、少なくとも、当該空間ID、自己が管理する一連のデータの部分に関する論理アドレス、当該部分のサイズ、および、一連のデータのサイズを含むテーブルを管理し、かつ、

各メモリモジュールのMPUが、受理したインストラクションに、自己が管理する一連のデータの部分が関与しているか否かを判断して、RAMコアに記憶されたデータを読み出してバスに送出し、バスを介して与えられたデータをRAMコアに書き込み、データに必要な処理を施し、および／または、前記テーブルを更新するように構成されたことを特徴とする情報処理ユニット。

10. 前記CPUモジュールが、レガシーメモリ、入力装置および表示装置を相互接続する他のバスと連結可能に構成されたことを特徴とする請求項9に記載の情報処理ユニット。

11. 請求項9に記載の情報処理ユニットと、CPUモジュールと他のバスを介して連結された1以上のレガシーメモリを含む記憶装置、入力装置および表示装置とを有することを特徴とするコンピュータシステム。

図 1



2  
X

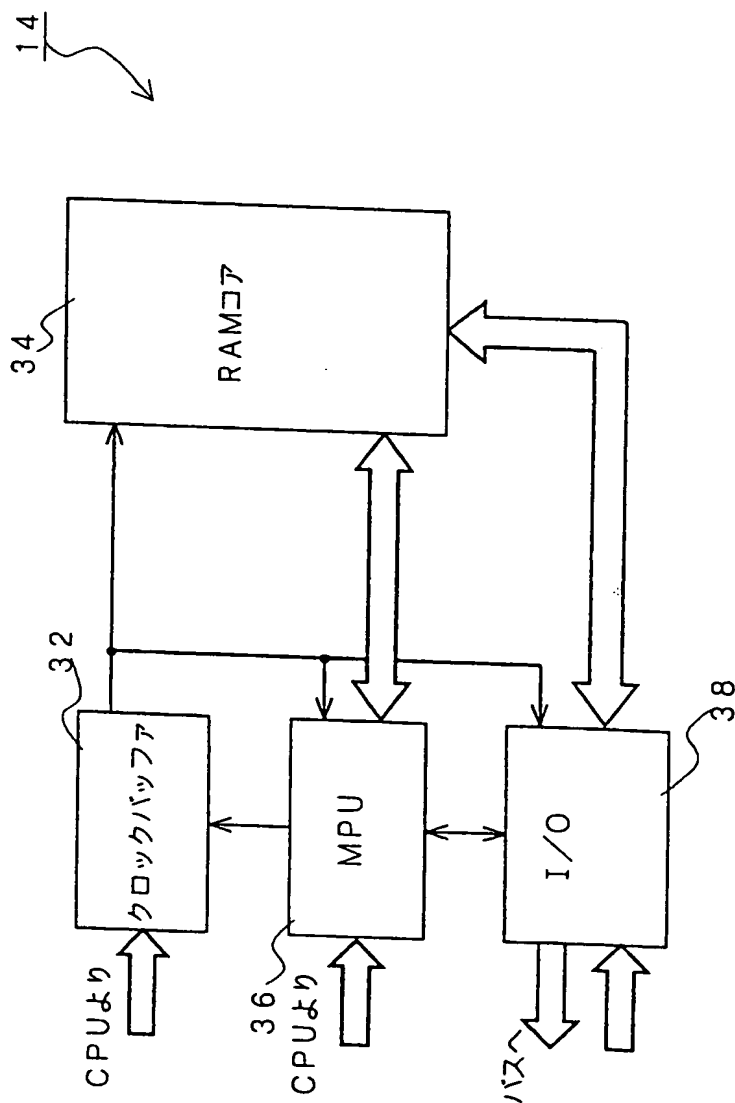


図3

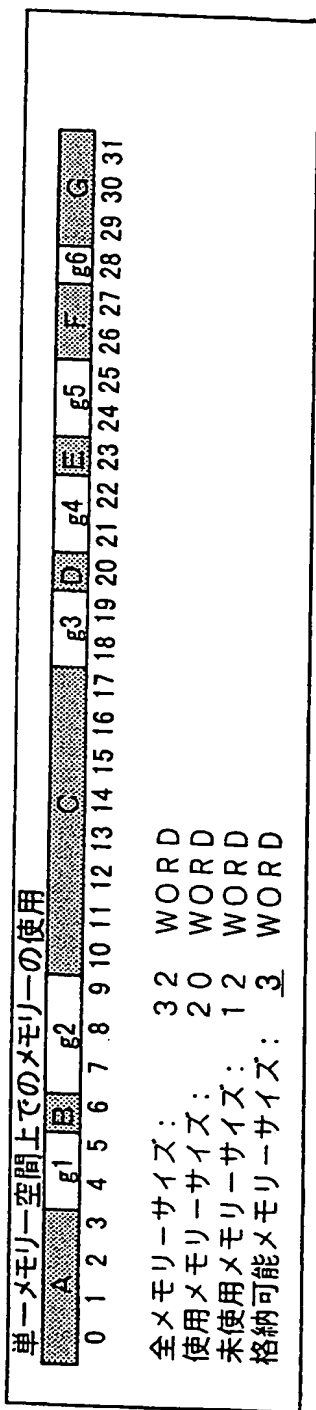


図4

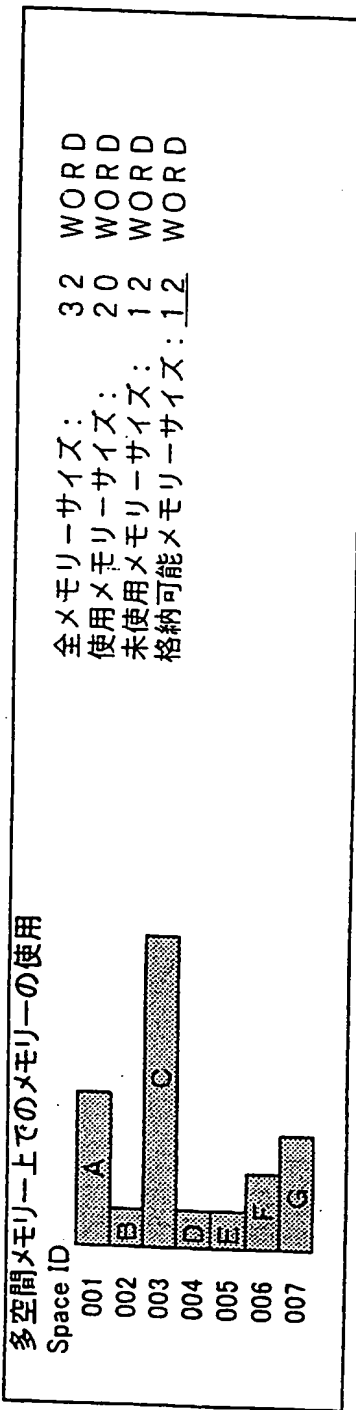


図5

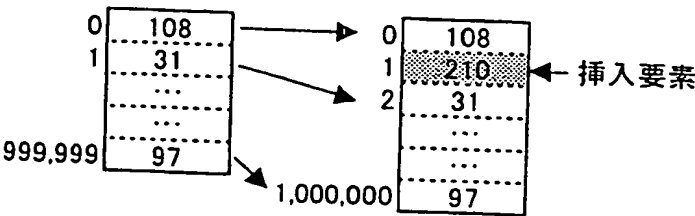


図6

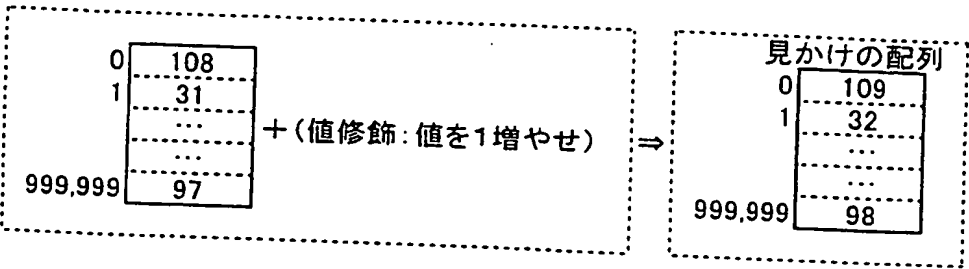


図 7

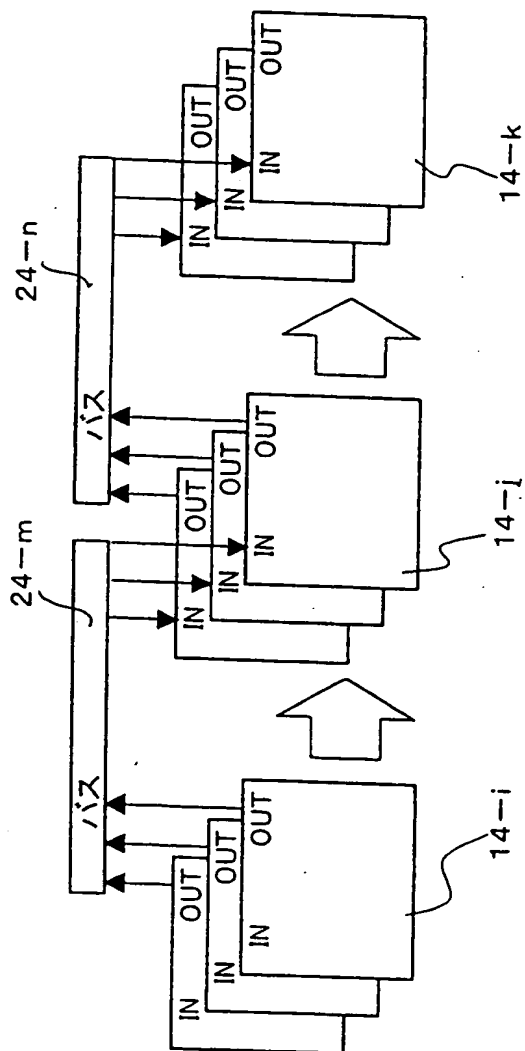




図8

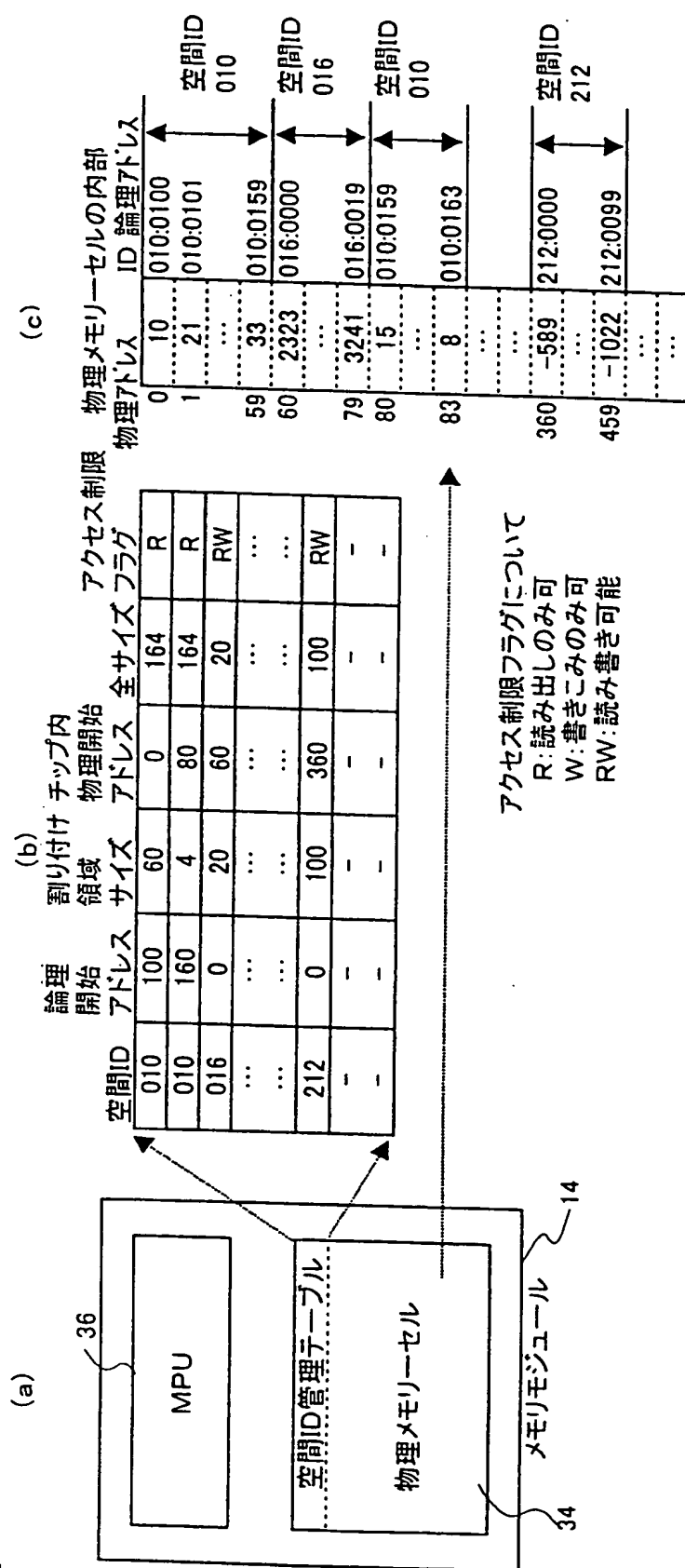


図9

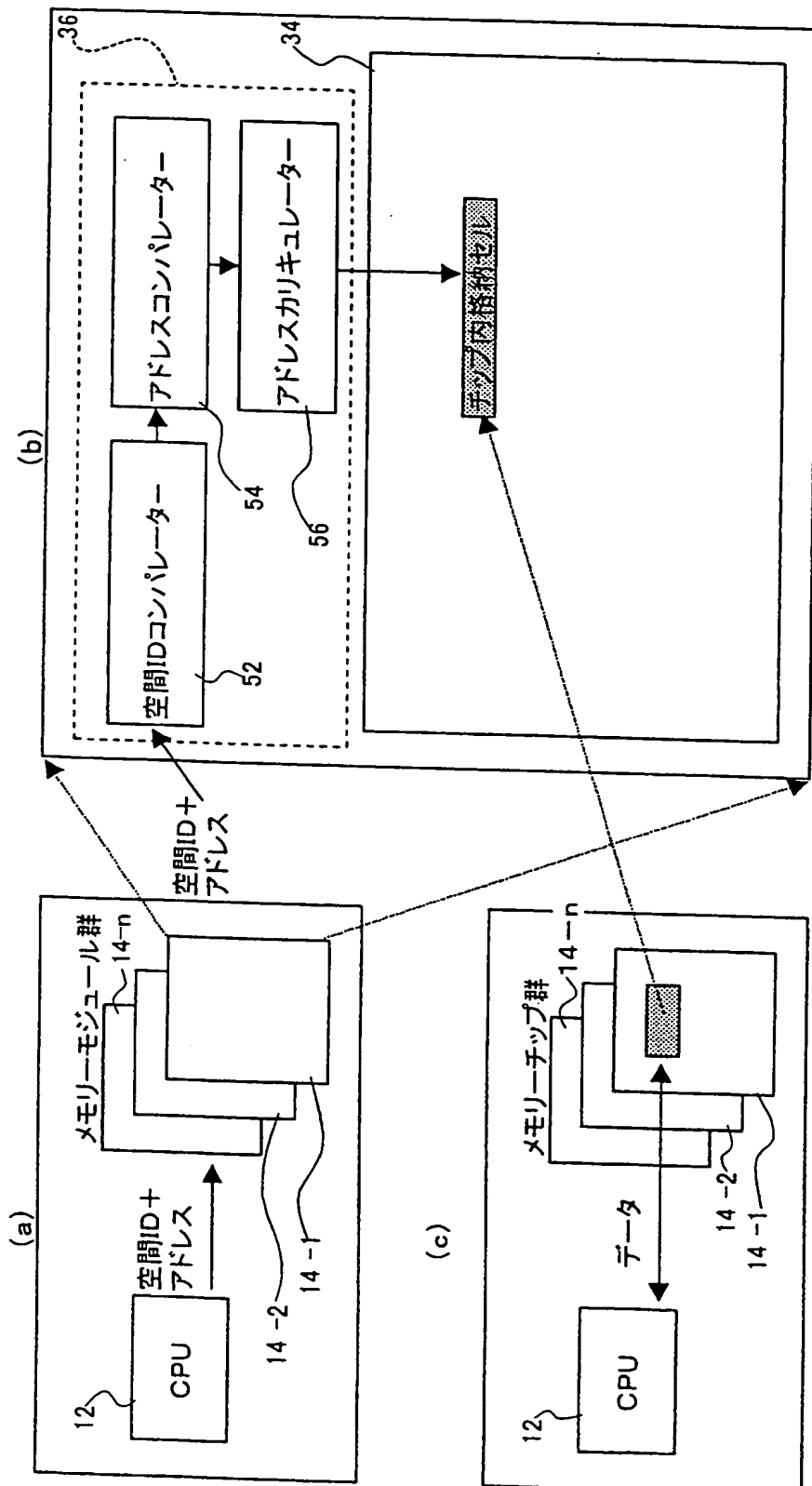


図10

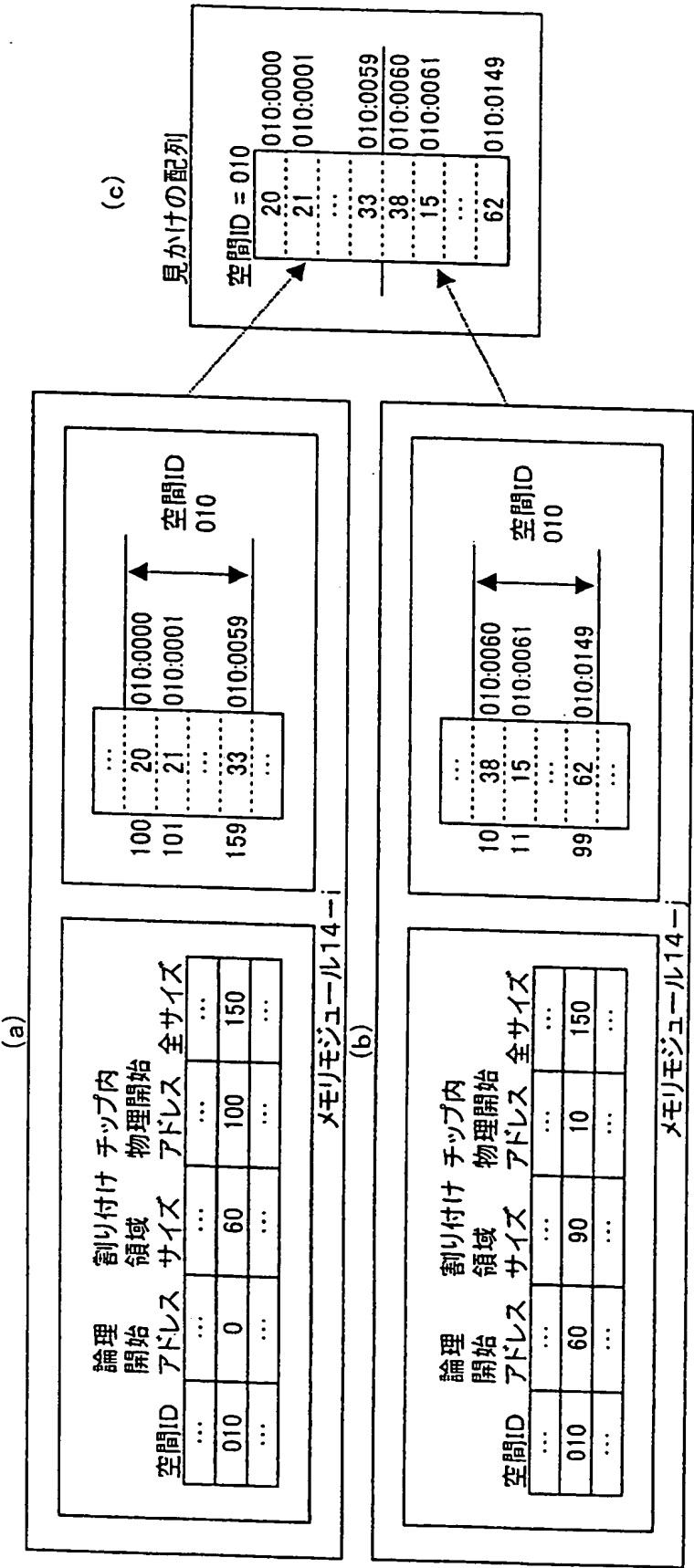


図10

図 11

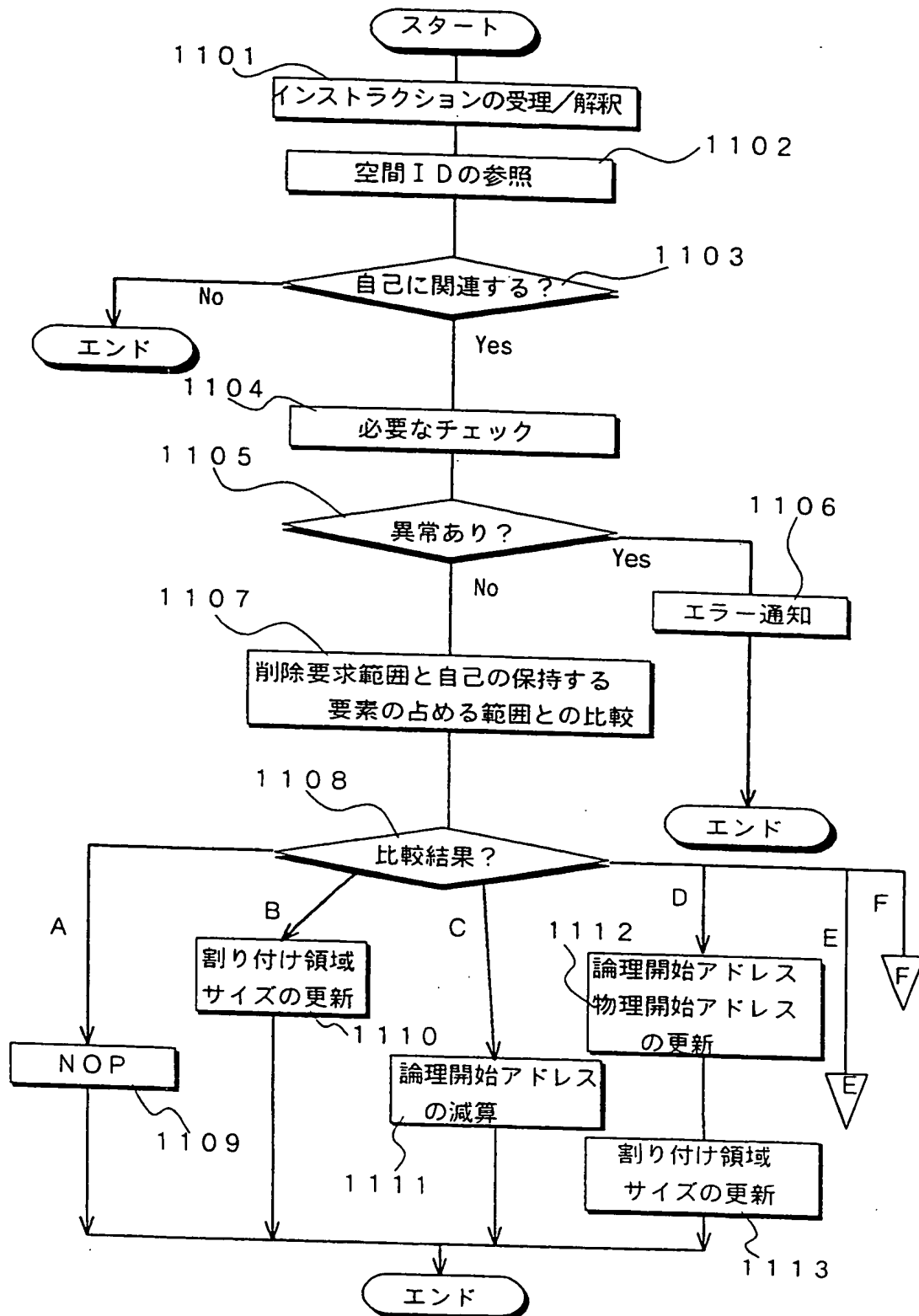


図12

(a)

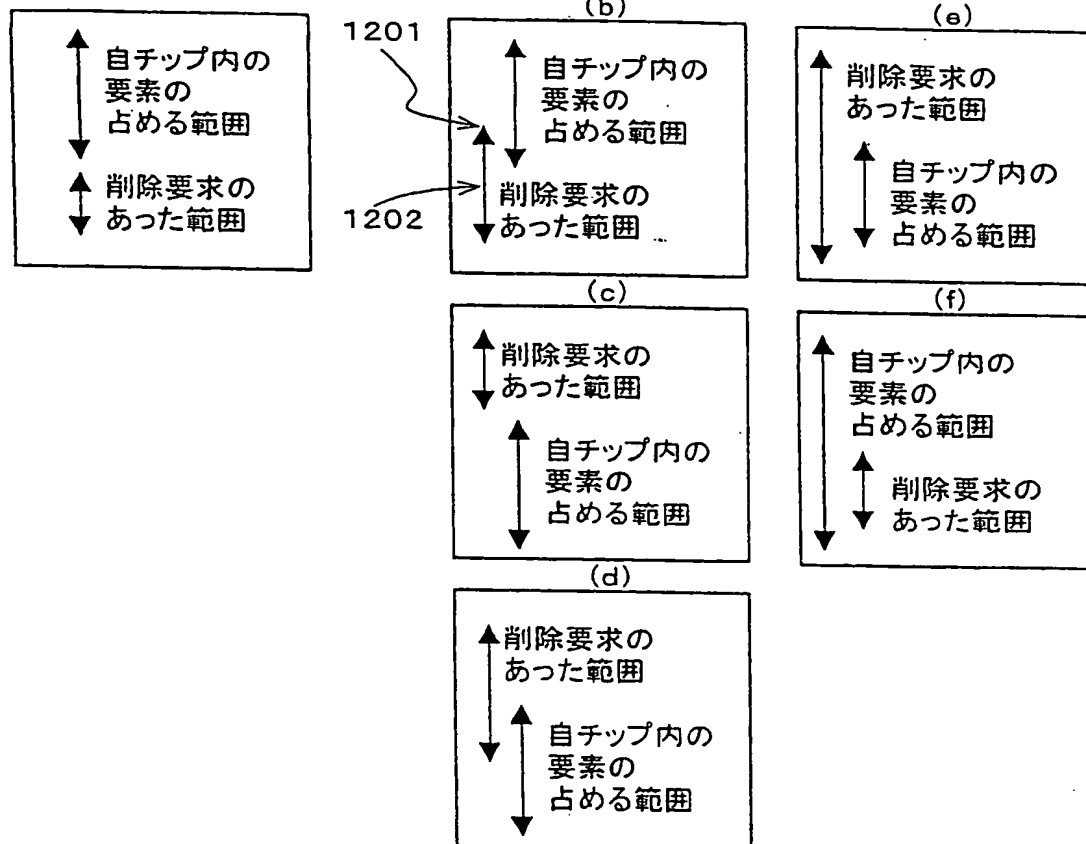


図13

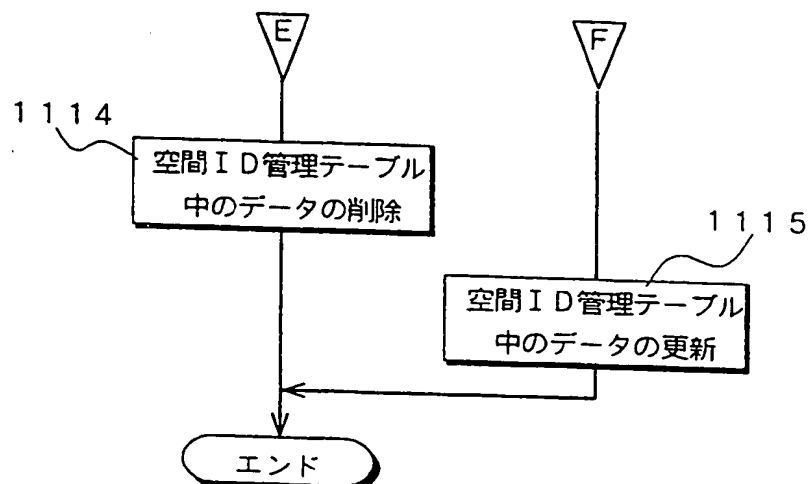


図 14

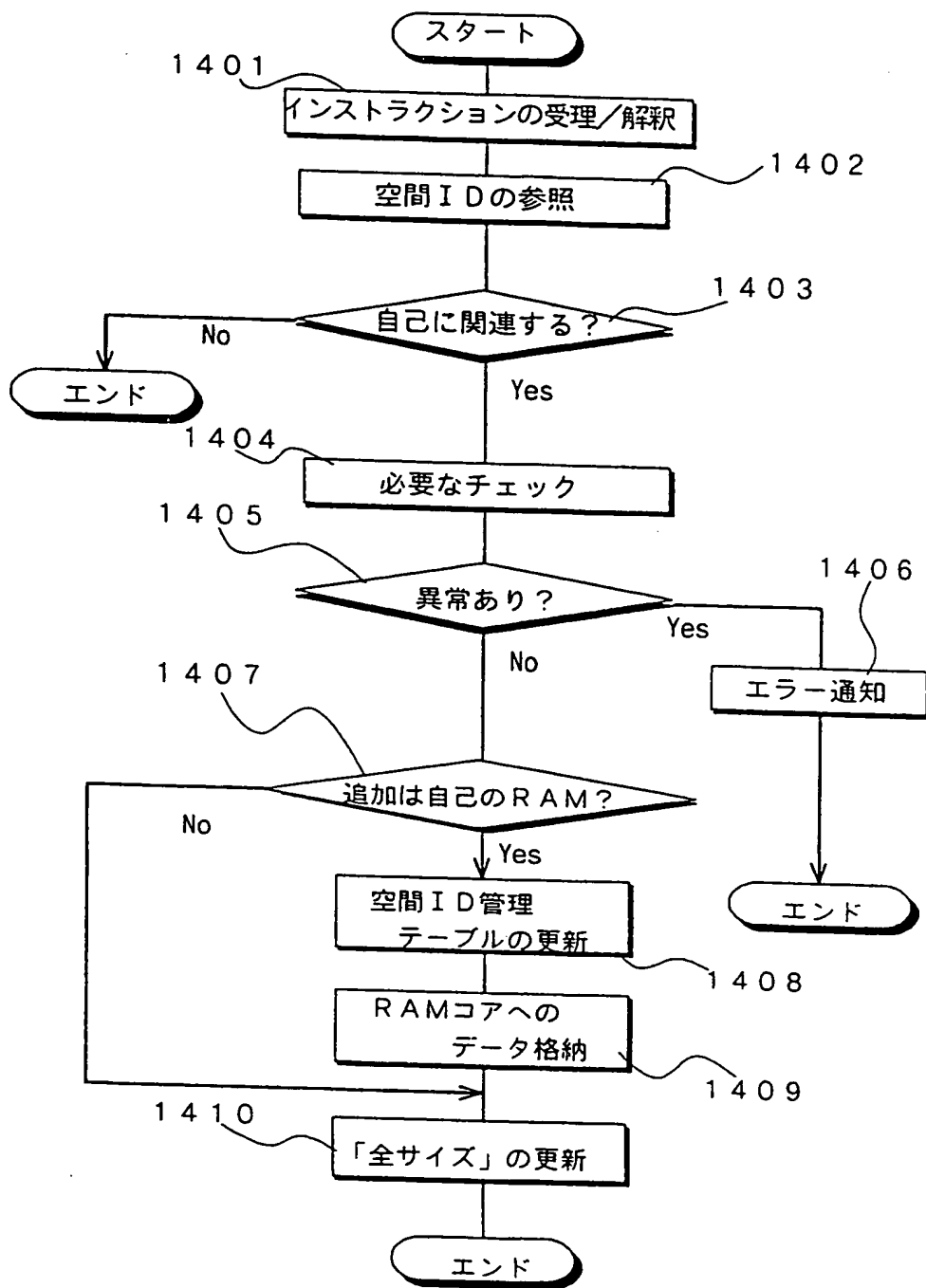
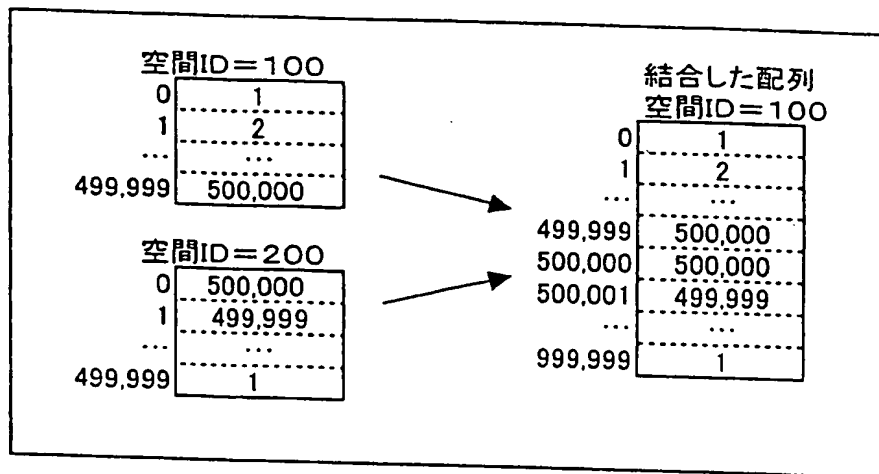
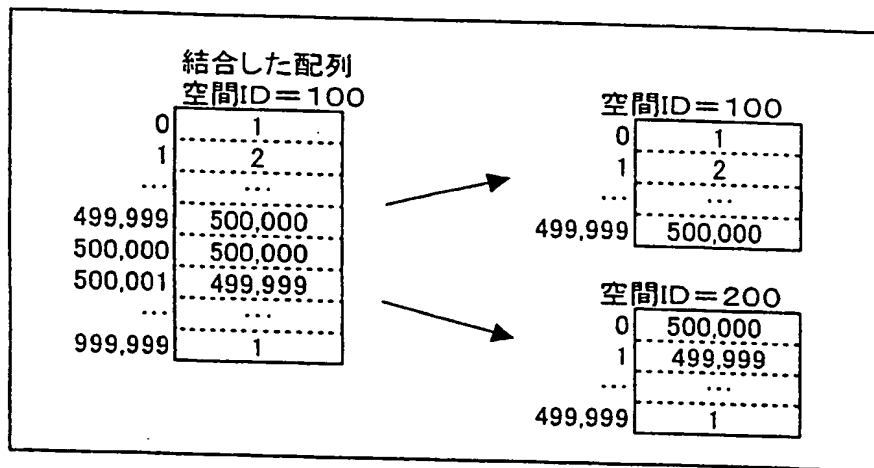


図15

(a)



(b)



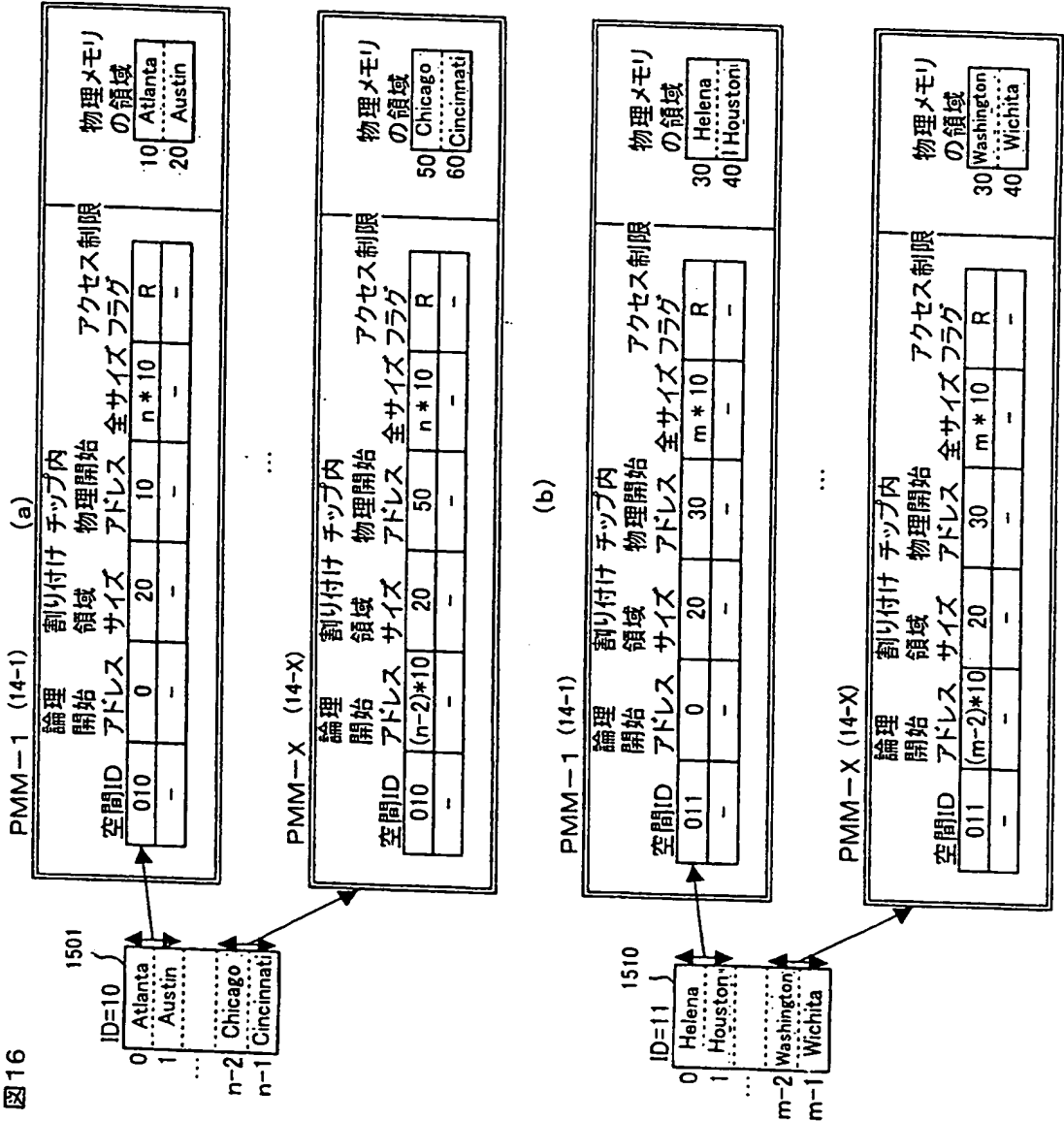




図 17

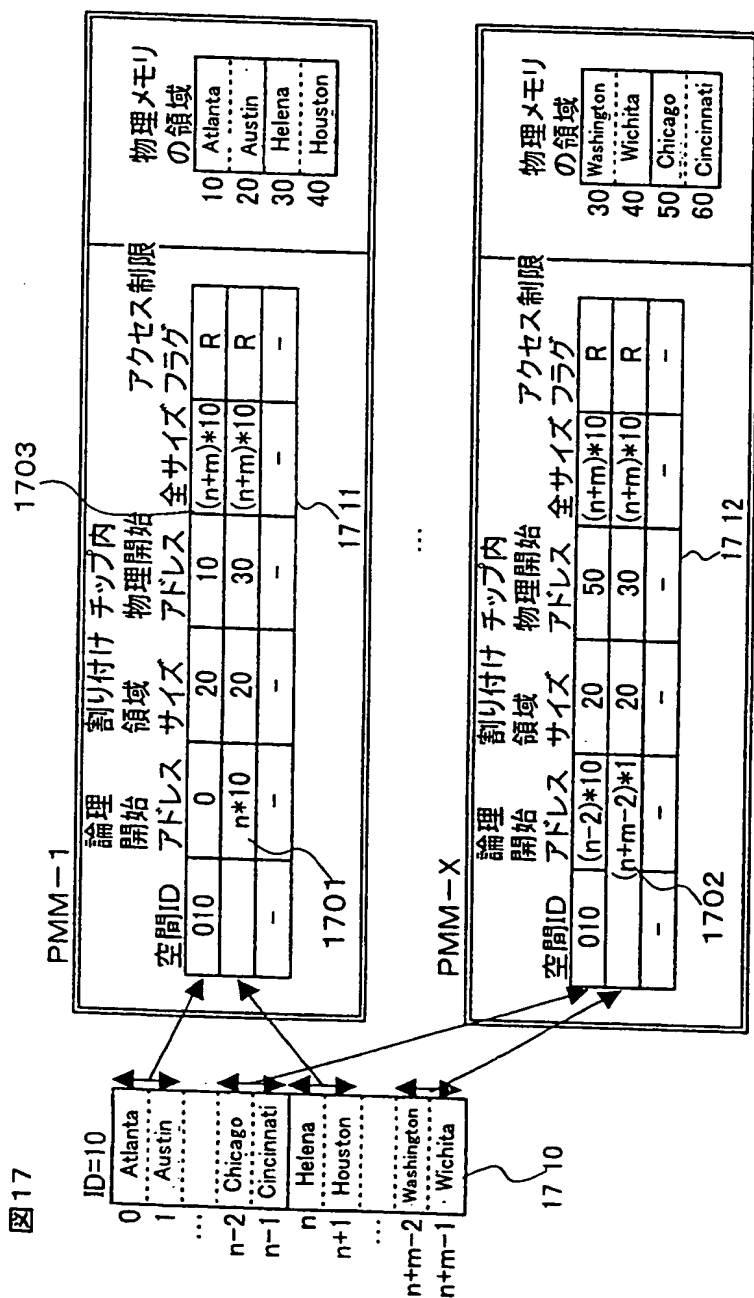


図 18

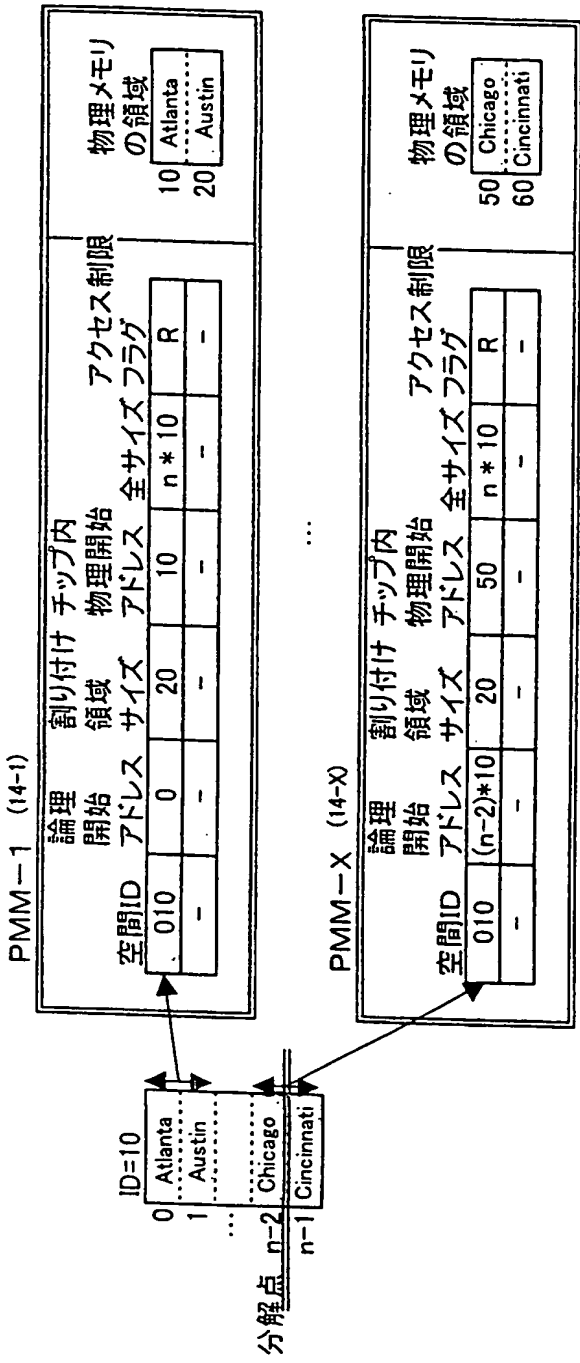


図 19

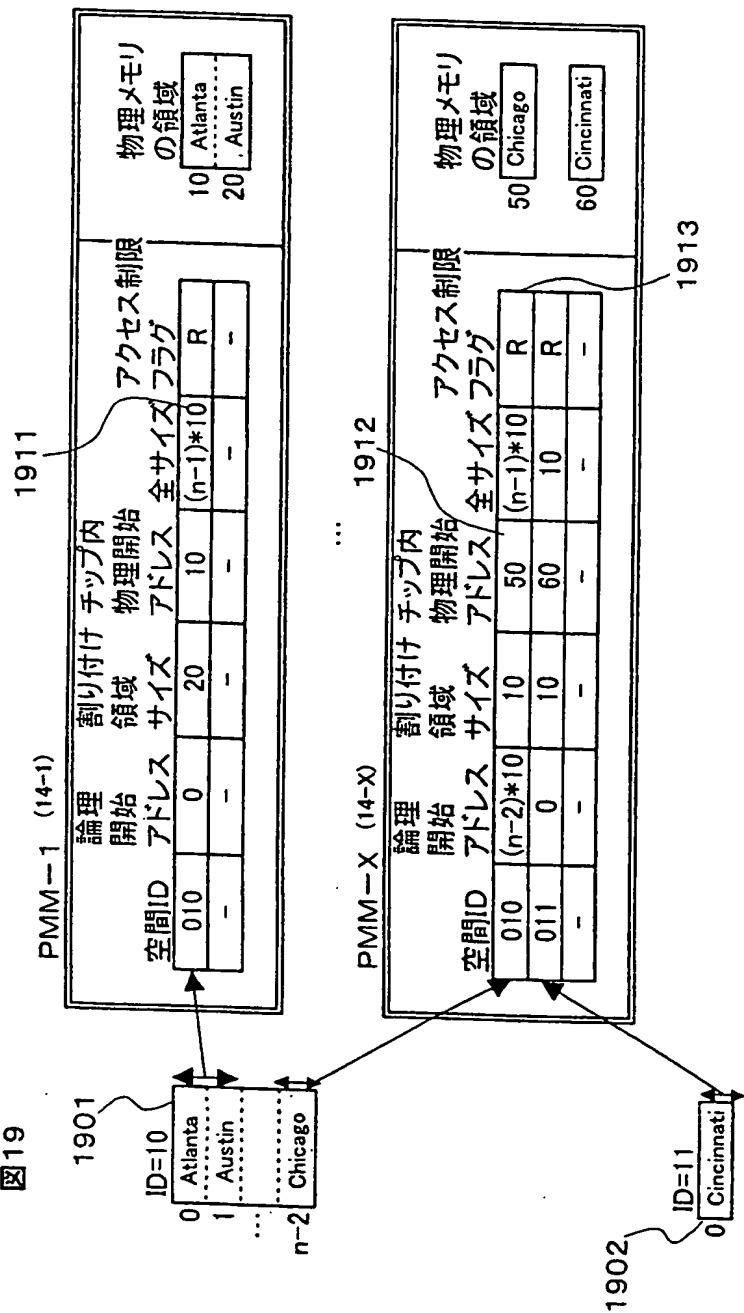


図20

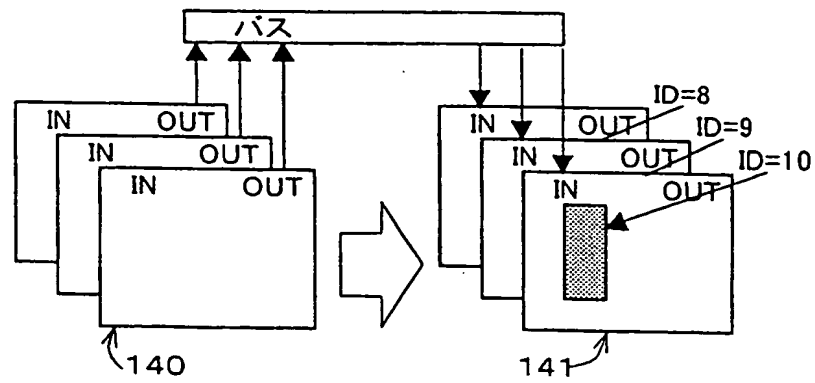


図21

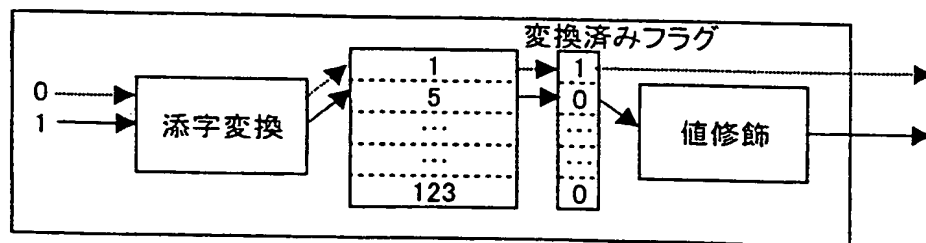


図22

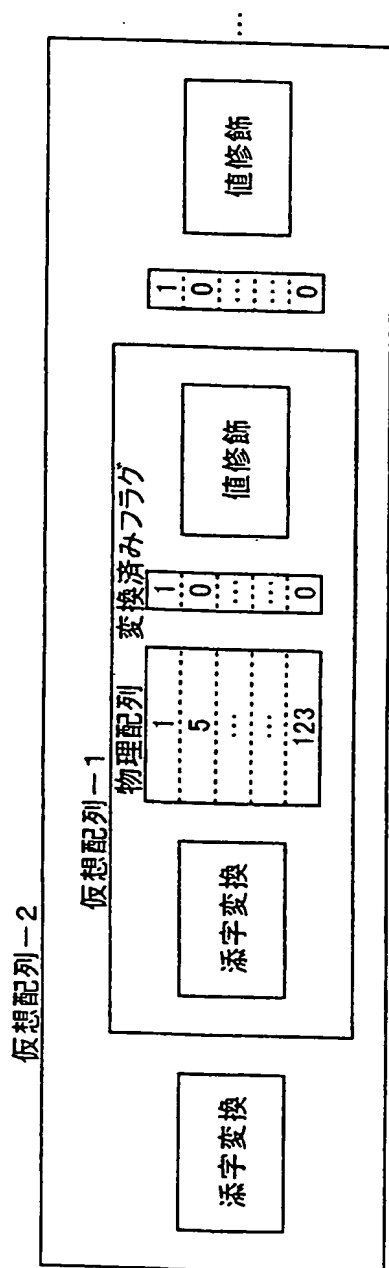


図23

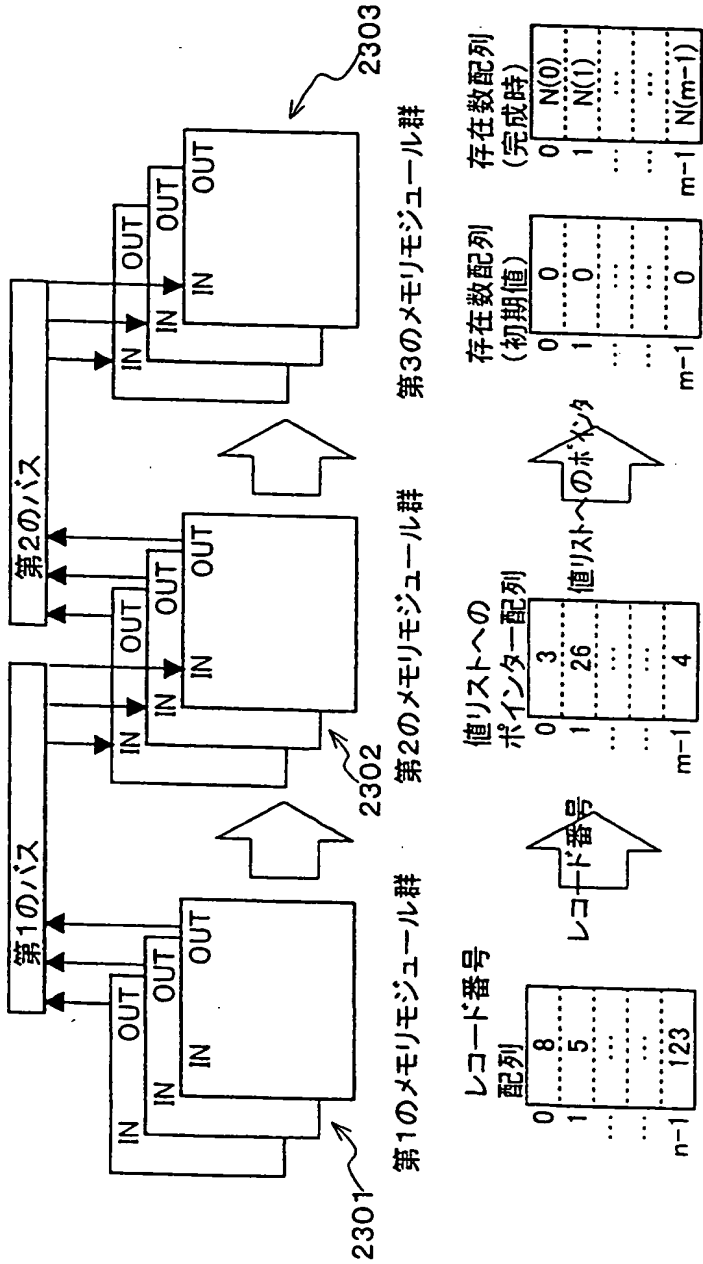


図24

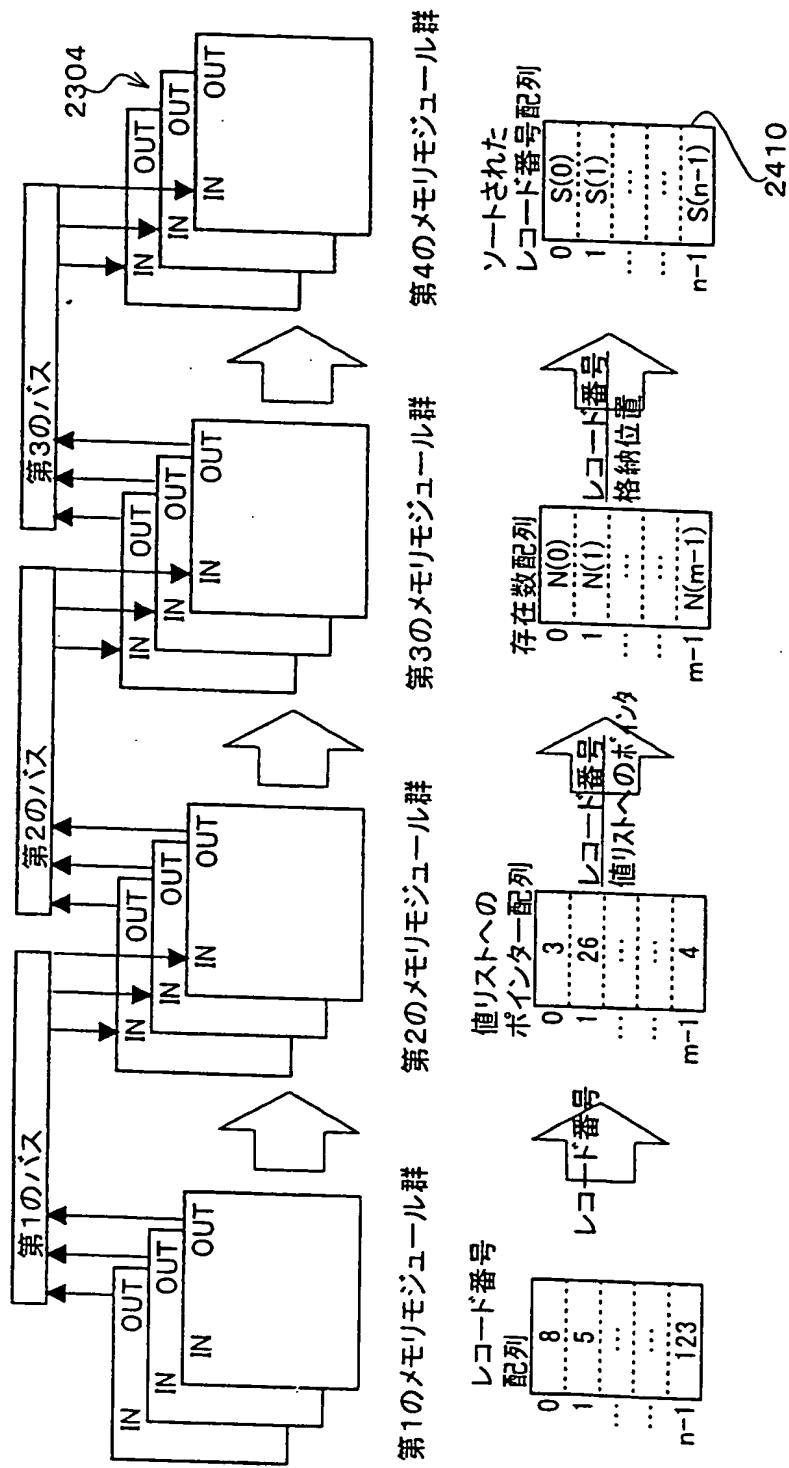


图 25

レコード番号配列    値リストへの  
ポインタ配列

値リスト  
(職業)

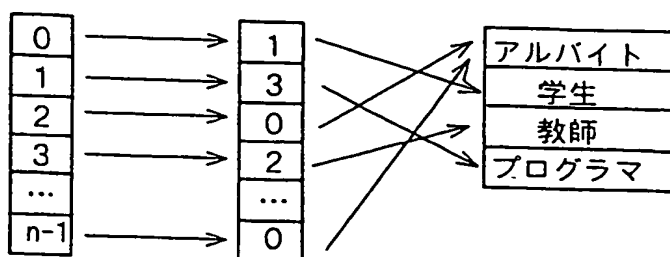


图27

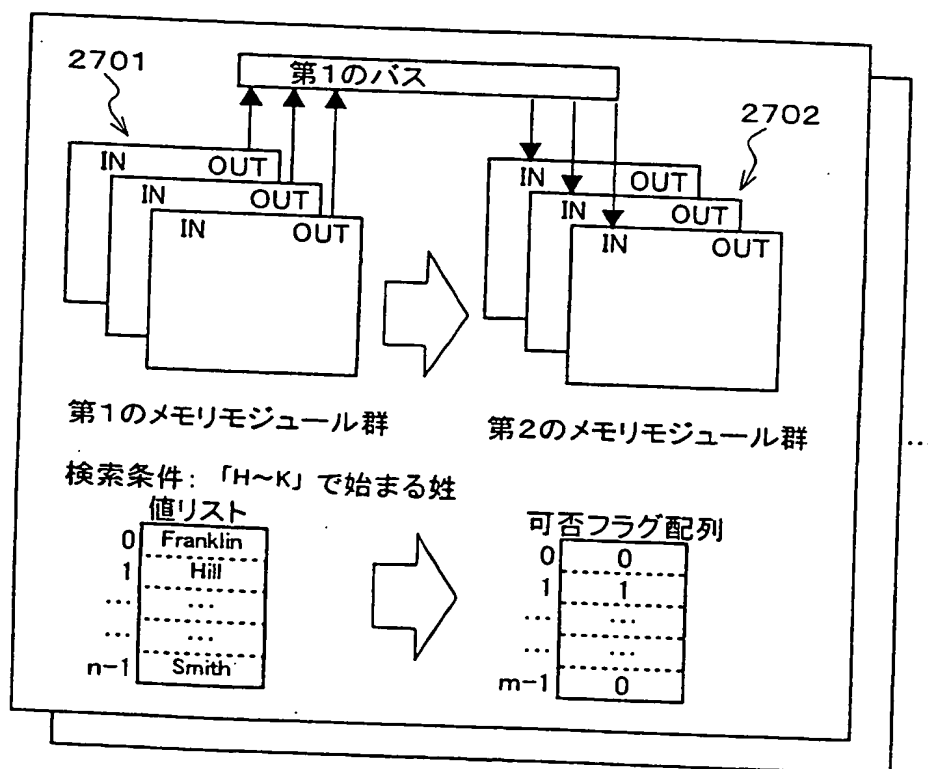




図 26

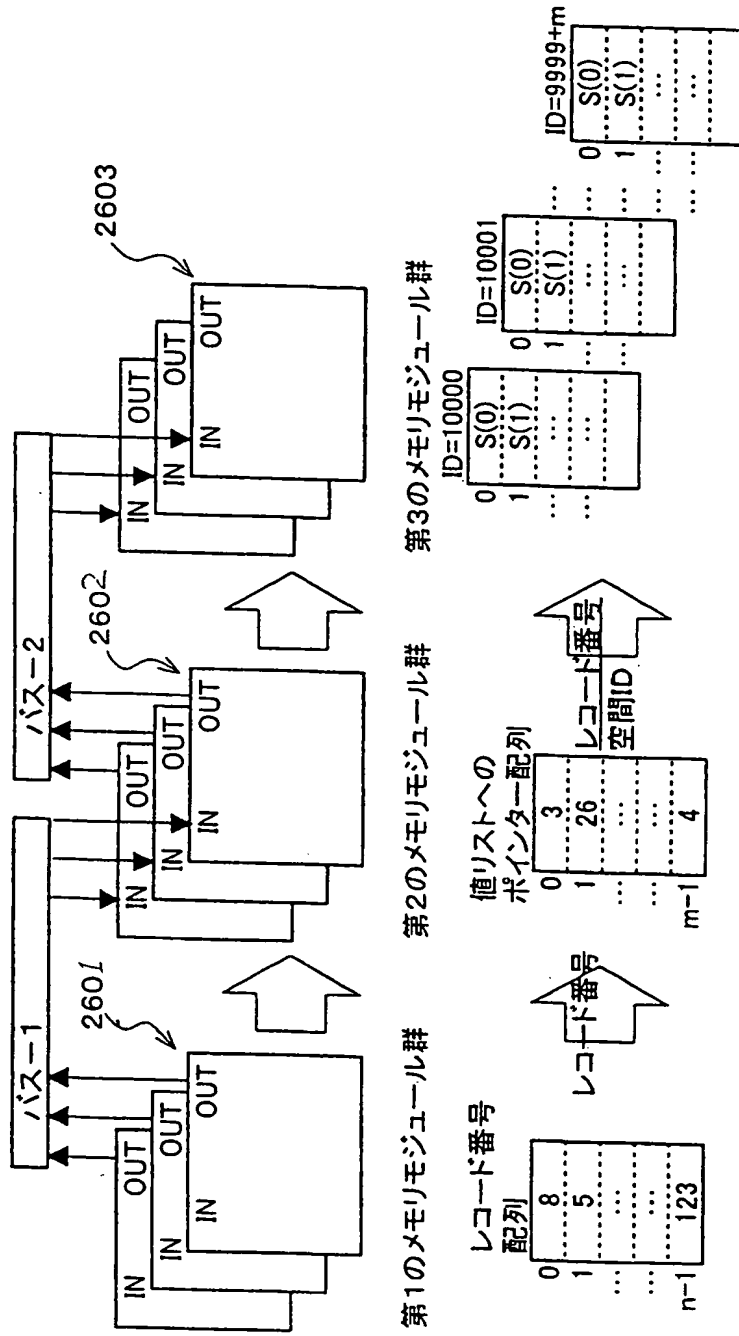
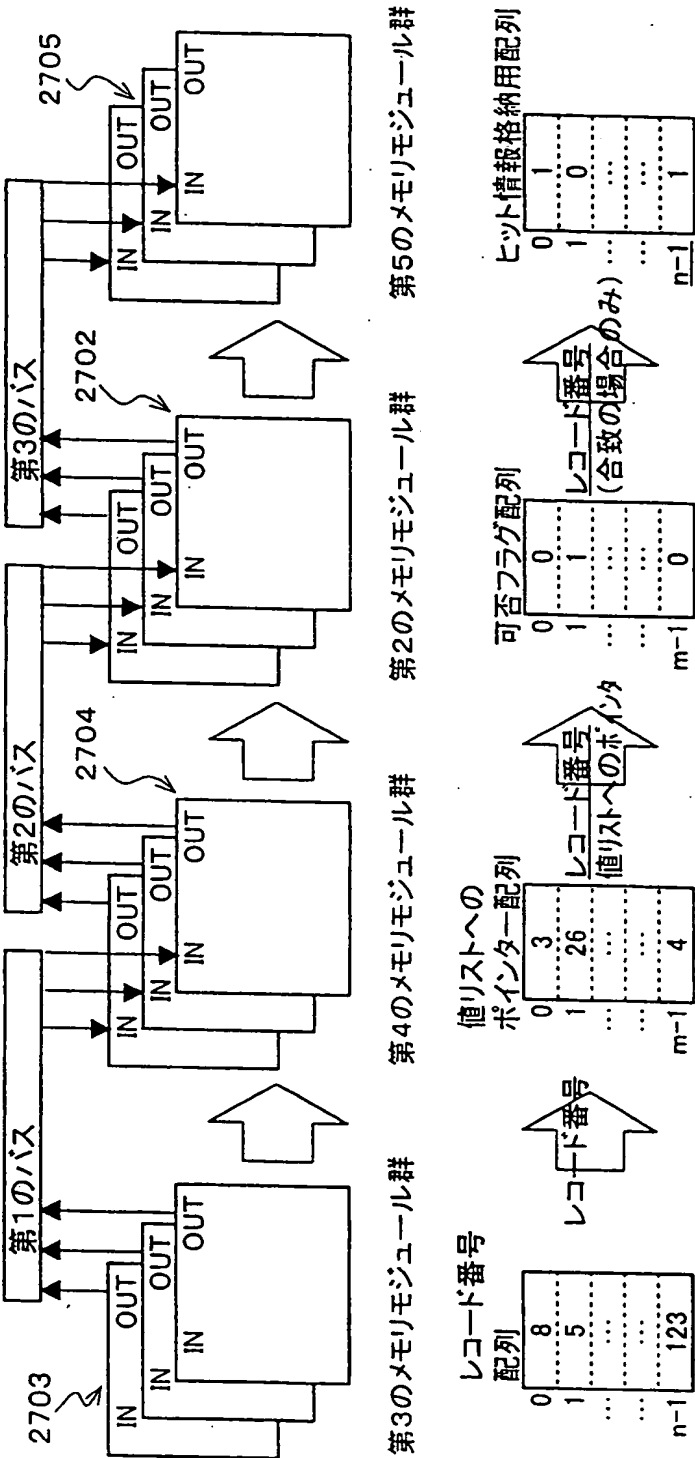


図28



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05947

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G06F 12/06, 13/16, 15/167

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G06F 7/22-24, 12/00-06, 13/16-18, 15/167, 17/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 10-143489, A (Hitachi, Ltd.), 29 May, 1998 (29.05.98), Full text; all drawings (Family: none)	1-11
A	JP, 6-67846, A (Hitachi, Ltd.), 11 March, 1994 (11.03.94), Full text; all drawings (Family: none)	1-11
A	JP, 7-152640, A (Hitachi, Ltd.), 16 June, 1995 (16.06.95), Full text; all drawings (& GB, 2284494, A & US, 5649102, A & GB, 2284494, B)	1-11
A	JP, 54-56743, A (Siemens AG), 08 May, 1979 (08.05.79), Full text; all drawings (& IT, 7827598, A & BE, 870595, A & NL, 7809481, A & DE, 2742035, A & FR, 2403600, A & GB, 1597333, A & CA, 1121015, A & IT, 1098541, A)	3-8

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search  
28 November, 2000 (28.11.00)

Date of mailing of the international search report  
12 December, 2000 (12.12.00)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05947

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 63-316254, A (Nippon Telegr. & Teleph. Corp. <NTT>), 23 December, 1988 (23.12.88), Full text; all drawings; especially, page 6, upper left column, lines 4-5 (Family: none)	3-8
A	JP, 62-22142, A (Sekisui Chemical Co., Ltd.), 30 January, 1987 (30.01.87), Full text; all drawings (Family: none)	8
A	Hiroto YASUURA, "Kinou Memoryni yoru Chou Heiretsu Shori", Joho Shori, Vol.32, No.12, December, 1991 (Tokyo) pp.1260-1267	1-11

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

IntCl' G06F 12/06, 13/16, 15/167

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

IntCl' G06F 7/22-24, 12/00-06, 13/16-18, 15/167, 17/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2000年

日本国登録実用新案公報 1994-2000年

日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 10-143489, A (株式会社日立製作所) 29. 5月. 1998 (29. 05. 98) 全文, 全図 (ファミリーなし)	1-11
A	J P, 6-67846, A (株式会社日立製作所) 11. 3月. 1994 (11. 03. 94) 全文, 全図 (ファミリーなし)	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

28. 11. 00

国際調査報告の発送日

12.12.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

多賀 実

5N

9367

電話番号 03-3581-1101 内線 3544

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 7-152640, A (株式会社日立製作所) 16. 6月. 1995 (16. 06. 95) 全文, 全図 (& GB, 2284494, A & US, 5649102, A & GB, 2284494, B)	1-11
A	J P, 54-56743, A (シーメンス・アクチエンゲゼルシャフト) 8. 5月. 1979 (08. 05. 79) 全文, 全図 (& IT, 7827598, A & BE, 870595, A & NL, 7809481, A & DE, 2742035, A & FR, 2403600, A & GB, 1597333, A & CA, 1121015, A & IT, 1098541, A)	3-8
A	J P, 63-316254, A (日本電信電話株式会社) 23. 12月. 1988 (23. 12. 88) 全文, 全図, 特に第6頁左上欄第4行目及び5行目 (ファミリーなし)	3-8
A	J P, 62-22142, A (積水化学工業株式会社) 30. 1月. 1987 (30. 01. 87) 全文, 全図 (ファミリーなし)	8
A	情報処理, 第32巻, 第12号, 12月. 1991 (東京) 安浦寛人「機能メモリによる超並列処理」p. 1260-1267	1-11